

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

#2
21 Retsu Kimura
Muller filed 8/29/01
Q 65942
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 8月30日

出 願 番 号
Application Number:

特願2000-260806

出 願 人
Applicant(s):

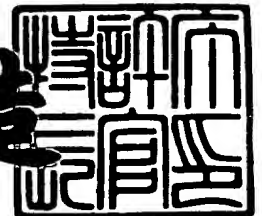
日本電気株式会社



2001年 2月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3008190

【書類名】 特許願

【整理番号】 74510229

【提出日】 平成12年 8月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F

【発明の名称】 電圧減算・加算回路及びそれを実現するMOS差動増幅回路

【請求項の数】 9

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 木村 克治

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100079164

 【弁理士】

 【氏名又は名称】 高橋 勇

 【電話番号】 03-3862-6520

【手数料の表示】

 【予納台帳番号】 013505

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9003064

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧減算・加算回路及びそれを実現するMOS差動増幅回路

【特許請求の範囲】

【請求項1】 第1及び第2のトランジスタのゲートが入力対をドレインが減算出力対をソースが共通接続されて加算出力端子をそれぞれ形成し、前記第1及び第2のトランジスタに流れる電流の和が入力差動電圧に比例して増加することを特徴とする電圧減算・加算回路。

【請求項2】 第1及び第2のトランジスタのゲートが入力対をドレインが減算出力対をソースが共通接続されて加算出力端子をそれぞれ形成し、定電流源で駆動されることを特徴とする電圧減算・加算回路。

【請求項3】 第1及び第2のトランジスタのソースが共通接続されて電流源で駆動されるMOS差動対からなる入力対を形成し、コモンモード電圧と前記第1及び第2のトランジスタの共通ソース電圧との差電圧が一定電圧になるように、前記電流源の電流値が制御されることを特徴とするMOS差動増幅回路。

【請求項4】 第1及び第2のトランジスタのソースが共通接続されて定電流源で駆動されるMOS差動対からなる入力対を形成し、コモンモード電圧と前記第1及び第2のトランジスタの共通ソース電圧との差電圧が一定電圧になるように、前記定電流源に電流が流し込まれることを特徴とするMOS差動増幅回路。

【請求項5】 第1及び第2のトランジスタのソースが共通接続されて定電流源で駆動されるMOS差動対からなる入力対を形成し、コモンモード電圧から前記第1及び第2のトランジスタの共通ソース電圧を減じた電圧に一定電圧が加算されてゲートに印加される第3及び第4のMOSトランジスタを負荷としたことを特徴とするMOS差動増幅回路。

【請求項6】 第1及び第2のトランジスタのソースが共通接続されて第1の定電流源で駆動されるMOS差動対を形成し、第3、第4、第5及び第6のトランジスタがソースを共通接続されて共通の第2の定電流源で駆動されるMOSクアドリテールセルを形成し、

前記第5及び第6のトランジスタのゲートは前記第1及び第2のトランジスタ

の共通ソースに接続され、前記第 5 のトランジスタのドレインと前記第 3 のトランジスタのドレインとは共通接続されて一方の出力端子を形成し、前記第 6 のトランジスタのドレインと前記第 4 のトランジスタのドレインとは共通接続されて他方の出力端子を形成し、前記第 1 及び第 2 のトランジスタのゲート並びに前記第 3 及び第 4 のトランジスタのゲートには入力電圧が直接又はレベルシフトされて印加され、前記第 1 及び第 2 のトランジスタの極性と前記第 3、第 4、第 5 及び第 6 のトランジスタの極性とが異なることを特徴とする相補型の MOS 差動増幅回路。

【請求項 7】 前記第 1 の定電流源の値と前記第 1 及び第 2 のトランジスタのトランスコンダクタンスパラメータとの比が、前記第 2 の定電流源の値と前記第 3、第 4、第 5 及び第 6 のトランジスタのトランスコンダクタンスパラメータとの比のおよそ半分であることを特徴とする請求項 6 記載の MOS 差動増幅回路。

【請求項 8】 互いに極性の異なる 2 つの請求項 6 記載の MOS 差動増幅回路が並列接続されて入力対を形成することを特徴とする MOS 差動増幅回路。

【請求項 9】 前記第 1 及び第 2 の定電流源の少なくとも一方の電流値を可変することで当該 MOS 差動増幅回路のトランスコンダクタンスを可変することを特徴とする請求項 6、7 又は 8 記載の MOS 差動増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOS 差動増幅回路に関し、詳しくは半導体集積回路上に形成される電圧減算・加算回路、及びそれを実現する線形なトランスコンダクタンスを有する MOS 差動増幅回路に関する。

【0002】

【従来の技術】

従来、この種の電圧減算・加算回路として、図 17 に示す回路が刊行物 (IEEE Journal of Solid-State Circuits, Vol. CAS-32, No. 11, pp. 1097-1104, Nov. 1985.) に記載されている。この回路は、いずれもテール電流 I_{SS} で駆動されるランジ

スタM1, M2及びトランジスタM3, M4からなる2対のMOS差動対で構成される。

【0003】

図17に示した電圧減算・加算回路において、2対のMOS差動対のトランジスタM1, M4のゲートにはそれぞれ電圧 V_1 , V_2 が印加され、トランジスタM2, M3はいずれもダイオード接続されて共通の定電流源で駆動されている。

【0004】

ここで、2対のMOS差動対においては、それぞれのテール電流と、ダイオード接続されたトランジスタM2, M3を駆動する定電流源の定電流とは等しいから、

$$I_{D1} + I_{D2} = I_{SS} \quad \dots (1)$$

$$I_{D3} + I_{D4} = I_{SS} \quad \dots (2)$$

$$I_{D2} + I_{D3} = I_{SS} \quad \dots (3)$$

が成り立つ。

したがって、

$$I_{D1} = I_{D3} \quad \dots (4)$$

$$I_{D2} = I_{D4} \quad \dots (5)$$

が成り立っていることがわかる。

【0005】

すなわち、2対のMOS差動対を構成するトランジスタM1, M2とトランジスタM3, M4とに流れる電流がそれぞれ等しくなっているのであるから、2対のMOS差動対の差動入力電圧もいずれも等しくなる。したがって、ダイオード接続されたトランジスタM2, M3の共通ゲート電圧を V_0 とすると、

$$V_1 - V_0 = V_0 - V_2 \quad \dots (6)$$

が成り立つことになる。すなわち、

【数1】

$$V_0 = \frac{V_1 + V_2}{2} \quad \dots (7)$$

が求められ、図17に示す回路は電圧加算回路となっている。この時に各MOS差動対への差動入力電圧は、

【数2】

$$V_1 - V_0 = V_0 - V_2 = \frac{V_1 - V_2}{2} \quad \dots(8)$$

となっている。

【0006】

次に、このMOS差動対のトランジスタM1、M4のドレイン電流を求めてみる。

基板効果とチャネル長変調を無視し、飽和領域で動作しているMOSトランジスタのドレイン電流とゲート・ソース間電圧の関係が2乗則に従うものと仮定すると、MOSトランジスタのドレイン電流は

$$I_D = \beta (V_{GS} - V_{TH})^2 \quad (V_{GS} \geq V_{TH}) \quad \dots (9a)$$

$$I_D = 0 \quad (V_{GS} < V_{TH}) \quad \dots (9b)$$

と表される。ただし、 $\beta = \mu (C_{OX} \cdot 2) (W \cdot L)$ はトランスコンダクタンスパラメータであり、 μ はキャリアの実効モビリティ、 C_{OX} は単位面積当たりのゲート酸化膜容量、 W 、 L はそれぞれ、ゲート幅、ゲート長、 V_{TH} はスレッショルド電圧である。

【0007】

素子間の整合性は良いものとする、トランジスタM1、M4の各ドレイン電流は、

【数 3】

$$\left\{ \begin{array}{l} I_{D1} = \frac{1}{2} (I_{SS} + \beta \frac{V_i}{2} \sqrt{\frac{2I_{SS}}{\beta} - \frac{V_i^2}{4}}) \quad (|V_i| \leq 2\sqrt{\frac{I_{SS}}{\beta}}) \quad \dots(10a) \\ I_{D1} = \frac{1}{2} I_{SS} \operatorname{sgn}(V_i) \quad (|V_i| \geq 2\sqrt{\frac{I_{SS}}{\beta}}) \quad \dots(10b) \end{array} \right.$$

$$\left\{ \begin{array}{l} I_{D4} = \frac{1}{2} (I_{SS} - \beta \frac{V_i}{2} \sqrt{\frac{2I_{SS}}{\beta} - \frac{V_i^2}{4}}) \quad (|V_i| \leq 2\sqrt{\frac{I_{SS}}{\beta}}) \quad \dots(11a) \\ I_{D4} = \frac{1}{2} I_{SS} \operatorname{sgn}(V_i) \quad (|V_i| \geq 2\sqrt{\frac{I_{SS}}{\beta}}) \quad \dots(11b) \end{array} \right.$$

と求められる。ただし、

$$V_i = V_1 - V_2 \quad \dots (12)$$

である。したがって、図 17 に示す回路は電圧減算回路となっている。すなわち、図 17 に示す回路は電圧減算・加算回路である。

【0008】

次に、線形なトランスコンダクタンスを持つ MOS 差動増幅回路について説明する。この種の MOS 差動増幅回路の一般構成として、図 18 に示す回路が特開平 7-127887 号公報に記載されている。この回路は、テール電流 I_{SS} ($= I_0 + \beta V_i^2 / 2$) で駆動されるトランジスタ M1, M2 からなる MOS 差動対で構成される。

【0009】

素子間の整合性は良いものとする、トランジスタ M1, M2 からなる MOS 差動対の差動出力電流 $\Delta I_D = I_{D1} - I_{D2}$ は

【数 4】

$$\left\{ \begin{array}{l} \Delta I_D = \beta V_i \sqrt{\frac{2I_{SS}}{\beta} - V_i^2} \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{\beta}}) \\ \Delta I_D = I_{SS} \operatorname{sgn}(V_i) \quad (|V_i| \geq \sqrt{\frac{I_{SS}}{\beta}}) \end{array} \right. \quad \dots(13a)$$

$$\left\{ \begin{array}{l} \Delta I_D = \beta V_i \sqrt{\frac{2I_{SS}}{\beta} - V_i^2} \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{\beta}}) \\ \Delta I_D = I_{SS} \operatorname{sgn}(V_i) \quad (|V_i| \geq \sqrt{\frac{I_{SS}}{\beta}}) \end{array} \right. \quad \dots(13b)$$

と表される。

したがって、MOS 差動対の差動出力電流 ΔI_D が線形になる条件は、(13 a) 式において $\sqrt{\quad}$ 内が定数となることである。すなわち、適応バイアス差動対のテール電流の条件は、

【数 5】

$$I_{SS} = I_0 + \frac{1}{2} \beta V_i^2 \quad \dots(14)$$

と求められる。

したがって、入力電圧の 2 乗特性を持つテール電流で駆動して差動対のトランスコンダクタンスを完全に補償することができる。このように、トランスコンダクタンスが線形となるようにダイナミックな電流で差動対を駆動するやり方を「適応バイアス (adaptive-biasing)」と呼び、こうして得られる線形なトランスコンダクタンスを持つ差動対を適応バイアス差動対 (adaptive-biasing differential pair) と呼んでいる。

【0 0 1 0】

図 19 に、クアドリテールセルを 2 乗回路に用いてテール電流を供給する適応バイアス差動対の具体的回路を示す。

【0 0 1 1】

図 19 に示すクアドリテールセルの一方の出力電流 I_L は、

$$I_L = I_{D3} + I_{D4} \quad \dots (15 a)$$

【数 6】

$$\left\{ \begin{array}{l} I_L = \frac{I_0}{4} - \frac{\beta V_i^2}{4} \quad (|V_i| \leq \sqrt{\frac{2I_0}{3\beta}}) \quad \dots(15a) \\ I_L = \frac{2}{3}I_0 - \frac{\beta V_i^2 + 2\beta|V_i|\sqrt{2(\frac{6I_0}{\beta} - V_i^2)}}{18} \quad (\sqrt{\frac{2I_0}{3\beta}} \leq |V_i| \leq 2\sqrt{\frac{I_0}{\beta}}) \quad \dots(15b) \\ I_L = 0 \quad (|V_i| \geq 2\sqrt{\frac{I_0}{\beta}}) \quad \dots(15c) \end{array} \right.$$

と求められ、2乗電流が得られる。

【0012】

MOS差動対をクアドリテールセルの出力電流で駆動してバイアスを適応化するには、テール電流を、

$$I_{SS} = 2I_0 - 2I_L \quad \dots (16)$$

に設定すれば、 $|V_i| \leq \sqrt{\{(2I_0)/(\beta)\}}$ の入力範囲にわたり、トランスコンダクタンスは、一定値 $g_m = \sqrt{\{(2I_0)/\beta\}}$ をとる。

【0013】

次に、クアドリテールセルを用いた適応バイアス差動対の差動出力電流 ΔI ($= I_{D1} - I_{D2}$) は、

$$\Delta I = I_{D1} - I_{D2}$$

【数 7】

$$\left\{ \begin{array}{l} \Delta I = \sqrt{\frac{2I_0}{\beta}} V_i \quad (|V_i| \leq \sqrt{\frac{2I_0}{3\beta}}) \quad \dots(17a) \\ \\ \Delta I = \frac{\beta V_i}{3} \sqrt{12 \frac{I_0}{\beta} - 7V_i^2 + 4|V_i| \sqrt{2(\frac{6I_0}{\beta} - V_i^2)}} \\ \quad (\sqrt{\frac{2I_0}{3\beta}} \leq |V_i| \leq \sqrt{(1 + \frac{1}{\sqrt{2}}) \frac{I_0}{\beta}}) \quad \dots(17b) \\ \\ \Delta I = \frac{\beta V_i^2 + 6I_0 + 2\beta |V_i| \sqrt{2(\frac{6I_0}{\beta} - V_i^2)}}{9} \\ \quad (\sqrt{(1 + \frac{1}{\sqrt{2}}) \frac{I_0}{\beta}} \leq |V_i| \leq 2\sqrt{\frac{I_0}{\beta}}) \quad \dots(17c) \\ \\ \Delta I = 2I_0 \operatorname{sgn}(V_i) \quad (|V_i| \geq \sqrt{\frac{I_0}{\beta}}) \quad \dots(17d) \end{array} \right.$$

【0014】

トランスコンダクタンスは、(17a) ~ (17d) 式を入力電圧 V_i で微分すれば求められる。

【数 8】

$$\left\{ \begin{array}{l} \frac{d(\Delta I)}{dV_i} = \sqrt{\frac{2I_0}{\beta}} \quad (|V_i| \leq \sqrt{\frac{2I_0}{3\beta}}) \quad \dots(18a) \\ \\ \frac{d(\Delta I)}{dV_i} = \frac{\beta}{3} \sqrt{12\frac{I_0}{\beta} - 7V_i^2 + 4|V_i| \sqrt{2(\frac{6I_0}{\beta} - V_i^2)}} \\ + \frac{\beta}{3} V_i (-7V_i + 2\text{sgn}(V_i) \sqrt{2(\frac{6I_0}{\beta} - V_i^2)}) - \frac{4\beta|V_i|V_i}{\sqrt{2(\frac{6I_0}{\beta} - V_i^2)}} \\ \\ \frac{1}{\sqrt{12\frac{I_0}{\beta} - 7V_i^2 + 4|V_i| \sqrt{2(\frac{6I_0}{\beta} - V_i^2)}}} \\ (\sqrt{\frac{2I_0}{3\beta}} \leq |V_i| \leq \sqrt{(1 + \frac{1}{\sqrt{2}})\frac{I_0}{\beta}}) \quad \dots(18b) \\ \\ \frac{d(\Delta I)}{dV_i} = \frac{2\beta}{9} (V_i + \text{sgn}(V_i) \sqrt{2(\frac{6I_0}{\beta} - V_i^2)}) - \frac{4\beta|V_i|V_i}{\sqrt{2(\frac{6I_0}{\beta} - V_i^2)}} \\ \\ (\sqrt{(1 + \frac{1}{\sqrt{2}})\frac{I_0}{\beta}} \leq |V_i| \leq \sqrt{\frac{I_0}{\beta}}) \quad \dots(18c) \\ \\ \frac{d(\Delta I)}{dV_i} = 0 \quad (|V_i| \geq 2\sqrt{\frac{I_0}{\beta}}) \quad \dots(18d) \end{array} \right.$$

適応バイアス差動対のトランスコンダクタンス特性は、入力電圧範囲 $|V_i| \leq \sqrt{\{(2I_0)/(\beta)\}}$ で、一定値のトランスコンダクタンス $g_m = \sqrt{\{(2I_0)/\beta\}}$ をとり、平坦特性となる。

【0015】

【発明が解決しようとする課題】

しかしながら、以上説明した従来の電圧加算回路は、減算機能と加算機能との両方の機能を備えているが、加算機能と比較すると減算機能の線形性が劣ってい

た。

【0016】

また、この減算機能と加算機能との両方の機能を実現するための線形トランスコンダクタンスアンプにおける線形動作する入力電圧範囲は、テール電流を供給する2乗回路の2乗特性となる入力電圧範囲に依存する。一方、MOS差動対の動作入力電圧範囲に渡って2乗特性となる入力電圧範囲を有する2乗回路の実現は困難である。したがって、広い線形入力電圧範囲を有する線形トランスコンダクタンスアンプを実現することが困難であった。

【0017】

【発明の目的】

アナログ信号処理においては、減算・加算機能は欠くことのできない必須のファンクションブロックである。特に、線形な減算・加算機能を持つMOS差動増幅回路の要求が一層高まってきている。そこで、本発明の目的は、LSIで実現しやすく、広い入力電圧範囲に渡り線形な減算・加算機能を持つMOS差動増幅回路を提供すること、及び、多少線形性に劣るが簡略化された回路構成で減算・加算機能を持つMOS差動増幅回路を提供することにある。

【0018】

また、この線形な減算・加算機能を持つMOS差動増幅回路は、線形なトランスコンダクタンスを持つ差動増幅回路で実現され、同様に、アナログ信号処理においては欠くことのできない必須のファンクションブロックである。特に、線形なトランスコンダクタンスを持つMOS差動増幅回路の要求が一層高まってきている。そこで、本発明のもう一つの目的は、LSIで実現しやすく、広い入力電圧範囲に渡り線形なトランスコンダクタンスを持つMOS差動増幅回路を提供することにある。

【0019】

【課題を解決するための手段】

請求項1記載の電圧減算・加算回路は、第1及び第2のトランジスタのゲートが入力対をドレインが減算出力対をソースが共通接続されて加算出力端子をそれぞれ形成し、前記第1及び第2のトランジスタに流れる電流の和が入力差動電圧

に比例して増加することを特徴とする。請求項1記載の電圧減算・加算回路は、第1及び第2のトランジスタのゲートが入力対をドレインが減算出力対をソースが共通接続されて加算出力端子をそれぞれ形成し、定電流源で駆動されることを特徴とする。

【0020】

請求項3記載のMOS差動増幅回路は、第1及び第2のトランジスタのソースが共通接続されて電流源で駆動されるMOS差動対からなる入力対を形成し、コモンモード電圧と前記第1及び第2のトランジスタの共通ソース電圧との差電圧が一定電圧になるように、前記電流源の電流値が制御されることを特徴とする。請求項4記載のMOS差動増幅回路は、第1及び第2のトランジスタのソースが共通接続されて定電流源で駆動されるMOS差動対からなる入力対を形成し、コモンモード電圧と前記第1及び第2のトランジスタの共通ソース電圧との差電圧が一定電圧になるように、前記定電流源に電流が流し込まれることを特徴とする。請求項5記載のMOS差動増幅回路は、第1及び第2のトランジスタのソースが共通接続されて定電流源で駆動されるMOS差動対からなる入力対を形成し、コモンモード電圧から前記第1及び第2のトランジスタの共通ソース電圧を減じた電圧に一定電圧が加算されてゲートに印加される第3及び第4のMOSトランジスタを負荷としたことを特徴とする。

【0021】

請求項6乃至9記載のMOS差動増幅回路は、相補型のMOS差動増幅回路すなわちCMOS差動増幅回路である。請求項6記載のMOS差動増幅回路は、第1及び第2のトランジスタのソースが共通接続されて第1の定電流源で駆動されるMOS差動対を形成し、第3、第4、第5及び第6のトランジスタがソースを共通接続されて共通の第2の定電流源で駆動されるMOSクアドリテールセルを形成する。そして、前記第5及び第6のトランジスタのゲートは前記第1及び第2のトランジスタの共通ソースに接続され、前記第5のトランジスタのドレインと前記第3のトランジスタのドレインとは共通接続されて一方の出力端子を形成し、前記第6のトランジスタのドレインと前記第4のトランジスタのドレインとは共通接続されて他方の出力端子を形成し、前記第1及び第2のトランジスタの

ゲート並びに前記第 3 及び第 4 のトランジスタのゲートには入力電圧が直接又はレベルシフトされて印加され、前記第 1 及び第 2 のトランジスタの極性と前記第 3、第 4、第 5 及び第 6 のトランジスタの極性とが異なることを特徴とする。請求項 7 記載の MOS 差動増幅回路は、請求項 6 記載の MOS 差動増幅回路において、前記第 1 の定電流源の値と前記第 1 及び第 2 のトランジスタのトランスコンダクタンスパラメータとの比が、前記第 2 の定電流源の値と前記第 3、第 4、第 5 及び第 6 のトランジスタのトランスコンダクタンスパラメータとの比のおよそ半分であることを特徴とする。請求項 8 記載の MOS 差動増幅回路は、互いに極性の異なる 2 つの請求項 6 記載の MOS 差動増幅回路が並列接続されて入力対を形成することを特徴とする。請求項 9 記載の MOS 差動増幅回路は、請求項 6、7 又は 8 に記載の MOS 差動増幅回路において、前記第 1 及び第 2 の定電流源の少なくとも一方の電流値を可変することで当該 MOS 差動増幅回路のトランスコンダクタンスを可変することを特徴とする。

【 0 0 2 2 】

次に、言葉を換えて、本発明の構成をもう一度説明する。本発明の線形な電圧減算・加算回路は、第 1 及び第 2 のトランジスタのゲートが入力対を、ドレインが減算出力対をそれぞれ構成し、ソースが共通接続されて加算出力端子を構成し、前記第 1 及び第 2 のトランジスタに流れる電流の和が入力差動電圧に比例して増加する。又は、簡略化された電圧減算・加算回路は、第 1 及び第 2 のトランジスタのゲートが入力対を、ドレインが減算出力対をそれぞれ構成し、ソースが共通接続されて加算出力端子を構成し定電流源で駆動される。

【 0 0 2 3 】

また、本発明の線形なトランスコンダクタンスを持つ CMOS 差動増幅回路は、第 1 及び第 2 のトランジスタのソースが共通接続されて電流源で駆動される MOS 差動対が入力対を構成し、コモンモード電圧と前記第 1、第 2 のトランジスタの共通ソース電圧の差電圧が一定電圧になるように、前記電流源の電流値が制御されるか、又は、第 1 及び第 2 のトランジスタのソースが共通接続されて定電流源で駆動される MOS 差動対が入力対を構成し、コモンモード電圧と前記第 1、第 2 のトランジスタの共通ソース電圧の差電圧が一定電圧になるように、電流

が前記定電流源に流し込まれる。

【0024】

更に、本発明の線形なトランスコンダクタンスを持つMOS差動増幅回路は、MOS差動対と並列接続されるMOSクアドリテールセルとを備えており、MOS差動対とMOSクアドリテールセルとでは互いに極性の異なるトランジスタから構成される。

【0025】

次に、本発明の作用を説明する。MOS差動対の非線形性は、共通ソース電圧が入力電圧の増加とともに高くなることに起因する。したがって、MOS差動対において、共通ソース電圧と入力コモンモード電圧との差が一定となるようにテール電流を制御することで、入力電圧の2乗に比例する駆動電流が得られる。そのため、MOS差動対を駆動するテール電流が入力電圧の2乗に比例する電流となり、等価的に適応バイアス差動対が得られ、線形なトランスコンダクタンスを持つCMOS差動増幅回路を実現できる。このことにより、共通ソース電圧と入力コモンモード電圧との差が一定となるので電圧加算機能が得られ、また、差動出力電流が差動入力電圧に比例するので電圧減算機能が得られ、その結果、線形な電圧減算・加算回路を実現できる。

【0026】

【発明の実施の形態】

図1は、請求項1記載の線形な減算・加算機能を持つ電圧減算・加算回路の一般構成を示す回路図である。

【0027】

この回路は、テール電流 $I_{SS} (= I_0 + \beta V_i^2 / 2)$ で駆動されるトランジスタM1、M2からなるMOS差動対で構成される。素子間の整合性は良いものとする、トランジスタM1、M2からなるMOS差動対の差動出力電流 $\Delta I_D (= I_{D1} - I_{D2})$ は

【数 9】

$$\begin{cases} \Delta I_D = \beta V_i \sqrt{\frac{2I_{SS}}{\beta} - V_i^2} & (|V_i| \leq \sqrt{\frac{I_{SS}}{\beta}}) \\ \Delta I_D = I_{SS} \operatorname{sgn}(V_i) & (|V_i| \geq \sqrt{\frac{I_{SS}}{\beta}}) \end{cases} \quad \dots(19a)$$

$$\dots(19b)$$

と表される。

【0028】

したがって、MOS 差動対の差動出力電流 ΔI_D が線形になる条件は、(19a) 式において $\sqrt{\quad}$ 内が定数となることである。すなわち、MOS 差動対が適応バイアス差動対となるためにテール電流に求められる条件は、

【数 10】

$$I_{SS} = I_0 + \frac{1}{2} \beta V_i^2 \quad (|V_i| \leq \sqrt{\frac{2I_0}{\beta}}) \quad \dots(20)$$

となる。ここでは、入力電圧範囲を制限しており、(14) 式との違いになっている。しかし、MOS 差動対のトランスコンダクタンスを補償するのであるから、MOS 差動対の動作入力電圧範囲を超えては補償しきれないことを考えれば当然のことである。

【0029】

したがって、入力電圧の 2 乗特性を持つテール電流で駆動して差動対のトランスコンダクタンスを完全に補償することができる。この時に、差動出力電流 $\Delta I_D (= I_{D1} - I_{D2})$ は、

【数 11】

$$\Delta I_D = \sqrt{2\beta I_0} V_i \quad (|V_i| \leq \sqrt{\frac{2I_0}{\beta}}) \quad \dots(21)$$

と求められる。すなわち、差動出力電流 ΔI を電圧変換することで線形な減算出力が得られる。

【0030】

一方、共通ソース電圧 V_S は次式を解いて求められる。

【数 1 2】

$$I_{D1} = \beta \left(\frac{V_1 + V_2}{2} + \frac{V_i}{2} - V_S - V_{TH} \right)^2 \quad \dots(22)$$

$$I_{D2} = \beta \left(\frac{V_1 + V_2}{2} - \frac{V_i}{2} - V_S - V_{TH} \right)^2 \quad \dots(23)$$

$$I_{D1} + I_{D2} = I_{SS} = I_0 + \frac{1}{2} \beta V_i^2 \quad \dots(24)$$

(22) 式～(24) 式を解くと、

【数 1 3】

$$V_S = \frac{V_1 + V_2}{2} - \sqrt{\frac{I_0}{\beta}} - V_{TH} \quad \dots(25)$$

と求められ、加算電圧が得られる。

【0 0 3 1】

共通ソース電圧 V_S には、一定電圧のオフセット電圧 $-\sqrt{(I_0/\beta)} - V_{TH}$ が含まれている。そこで、図 2 に示すように、レベルシフトすることでオフセット電圧を取り除けるので、加算電圧 $(V_1 + V_2)/2$ が得られる。

【0 0 3 2】

図 3 は、図 2 に示した電圧減算・加算回路を実現する具体例を示す回路図である。

【0 0 3 3】

単位トランジスタに対するトランジスタサイズ比（ゲート幅 W / ゲート長 L ）が K_1 であるトランジスタ $M1$ 、 $M2$ からなり、定電流 I_{SS} ($= I_0/2$) で駆動される MOS 差動対と、単位トランジスタ $M5$ 、 $M6$ と単位トランジスタに対するトランジスタサイズ比が K_3 であるトランジスタ $M7$ のソースが共通接続されて定電流 I_0 で駆動されるトリプルテールセルとトランジスタ $M7$ のバイアス電圧を与えるトランジスタ $M8$ とそれを駆動する定電流 $I_{SS}/2$ ($= I_0/4$) から構成されている。以下の回路解析により、 $I_{SS} = I_0/2$ が求められる、また、トランジスタ $M7$ は 2 分割することで $M7A$ 、 $M7B$ と表すことが

できる。

【0034】

素子間の整合性は良いものとする、単位トランジスタに対するトランジスタサイズ比が K_1 であるトランジスタM1、M2からなるMOS差動対の各出力電流は

【数14】

$$I_{D1} = \frac{1}{2}(I_0 + K_1 \beta V_i \sqrt{\frac{2I_{SS}}{K_1 \beta} - V_i^2}) \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{K_1 \beta}}) \quad \dots(26a)$$

$$I_{D2} = \frac{1}{2}(I_0 - K_1 \beta V_i \sqrt{\frac{2I_{SS}}{K_1 \beta} - V_i^2}) \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{K_1 \beta}}) \quad \dots(26b)$$

と表される。また、MOS差動対の各出力電流は、いずれも負荷となっている単位トランジスタに対するトランジスタサイズ比が K_2 であるトランジスタM3、M4によって、ルート（平方根）圧縮されて電圧に変換される。ここで、差動出力電圧は次式に基づいて線形となる。

【数15】

$$b(\sqrt{a + \sqrt{2x}\sqrt{1 - \frac{x^2}{2}}} - \sqrt{a - \sqrt{2x}\sqrt{1 - \frac{x^2}{2}}}) = b\sqrt{2x}$$

ただし、

【数16】

$$a = 1, b = \sqrt{I_{SS}/2}, x = V_i / \sqrt{a - \sqrt{2x}\sqrt{1 - \frac{x^2}{2}}} \quad \dots(27)$$

である。

【0035】

したがって、

【数17】

$$\sqrt{I_{D1}} - \sqrt{I_{D2}} = \sqrt{K_1 \beta} V_i \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{K_1 \beta}}) \quad \dots(28)$$

となる。すなわち、 $\sqrt{I_{D1}} - \sqrt{I_{D2}}$ の項は線形となって、MOS 差動対は線形項：

【数 18】

$$\sqrt{K_1 \beta} V_i (-\sqrt{I_{D1}} - \sqrt{I_{D2}})$$

と非線形項：

【数 19】

$$\sqrt{I_{D1}} + \sqrt{I_{D2}} = \sqrt{K_1 \beta} \sqrt{\frac{2I_{SS}}{K_1 \beta} - V_i^2} \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{K_1 \beta}}) \quad \dots(29)$$

を有している。

【0036】

なぜなら、MOS 差動対の差動出力電流は

【数 20】

$$\begin{aligned} \Delta I_D = I_{D1} - I_{D2} &= (\sqrt{I_{D1}} - \sqrt{I_{D2}})(\sqrt{I_{D1}} + \sqrt{I_{D2}}) \\ &= K_1 \beta V_i \sqrt{\frac{2I_{SS}}{K_1 \beta} - V_i^2} \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{K_1 \beta}}) \quad \dots(30) \end{aligned}$$

と表され、この非線形項：

【数 21】

$$\sqrt{K_1 \beta} \sqrt{2I_{SS}/(K_1 \beta) - V_i^2} (= \sqrt{I_{D1}} + \sqrt{I_{D2}})$$

は、MOS 差動対の共通ソース電圧に起因し、この共通ソース電圧 V_{S1} は

【数 22】

$$V_{S1} = V_{CM1} - V_{TH} - \frac{1}{2} \sqrt{\frac{2I_{SS}}{K_1 \beta} - V_i^2} \quad \dots(31)$$

と表される。

【0037】

ここで、 V_{CM1} は入力電圧のコモンモード電圧である。MOS 差動対の非線

形動作は、入力電圧とともに共通ソース電圧が変動することに起因している。したがって、もし、MOS差動対の共通ソース電圧を一定電圧に固定できるならば、MOS差動対は線形動作する。

【0038】

トランジスタを負荷とするMOS差動対のそれぞれの出力電圧は

【数23】

$$V_{o1} = V_B - V_{TH} - \sqrt{\frac{I_{D1}}{K_2 \beta}} \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{K_1 \beta}}) \quad \dots(32)$$

$$V_{o2} = V_B - V_{TH} - \sqrt{\frac{I_{D2}}{K_2 \beta}} \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{K_1 \beta}}) \quad \dots(33)$$

と表される。ここで、 V_B は負荷トランジスタのゲートバイアス電圧である。

【0039】

差動出力電圧は、

【数24】

$$V_{o1} - V_{o2} = -\sqrt{\frac{K_1}{K_2}} V_i \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{K_1 \beta}}) \quad \dots(34)$$

となる。ここで、 K_2/K_1 が1より大きいならばトランジスタを負荷とするMOS差動対は逆相の減衰器となり、 K_2/K_1 が1より小さいならばトランジスタを負荷とするMOS差動対は逆相の増幅器となる。(34)式で示したように、トランジスタを負荷とするMOS差動対は差動出力電圧をとれば線形となる。

【0040】

図4は、こうしたトランジスタを負荷とするMOS差動対の出力電圧を示す特性図である。

【0041】

出力電圧のコモンモード電圧は

【数 25】

$$\begin{aligned}
 V_{CM2} &= \frac{V_{o1} + V_{o2}}{2} = V_B - V_{TH} - \sqrt{\frac{I_{D1}}{K_2 \beta}} - \sqrt{\frac{I_{D2}}{K_2 \beta}} \\
 &= V_B - V_{TH} - \frac{1}{2} \sqrt{\frac{K_1}{K_2}} \sqrt{\frac{2I_{SS}}{K_1 \beta}} - V_i \\
 &= V_B - V_{TH} - \sqrt{\frac{K_1}{K_2}} (V_{CM1} - V_{TH} - V_{S1}) \quad (|V_i| \leq \sqrt{\frac{I_{SS}}{K_1 \beta}}) \quad \dots(35)
 \end{aligned}$$

となる。トランジスタを負荷とするMOS差動対の差動出力電圧のコモンモード電圧は、共通ソース電圧 V_{S1} を用いて表される。

【0042】

次に、単位トランジスタM5、M6と単位トランジスタに対するトランジスタサイズ比が K_3 であるトランジスタM7、M8のソースが共通接続されて定電流 I_0 で駆動されるMOSクアドリテールセルについては、トランジスタM5、M6のゲート間に電圧 ΔV が印加され、トランジスタM7とM8の共通ゲートと入力コモンモード電圧 (V_{CM3}) 間に電圧 V_C が印加されるとすると、各トランジスタのドレイン電流は、

$$I_{D5} = \beta \{V_{CM3} + (1/2) \Delta V - V_{S2} - V_{TH}\}^2 \quad \dots (36)$$

$$I_{D6} = \beta \{V_{CM3} - (1/2) \Delta V - V_{S2} - V_{TH}\}^2 \quad \dots (37)$$

$$I_{D7} = I_{D8} = K_3 \beta (V_{CM3} + V_C - V_{S2} - V_{TH})^2 \quad \dots (38)$$

と表される。ここで、 V_{S2} はMOSクアドリテールセルの共通ソース電圧である。

【0043】

また、テール電流の条件から、

$$I_{D5} + I_{D6} + I_{D7} + I_{D8} = I_0 \quad \dots (39)$$

となる。

(36) 式から (38) 式までを (39) 式に代入して、($V_{CM3} - V_{S2}$

$-V_{TH})$ について解くと、

【数 26】

$$V_{CM3} - V_{S2} - V_{TH} = \frac{-K_3 V_c + \sqrt{(K_3 + 1) \frac{I_0}{2\beta} - \frac{K_3 + 1}{4} (\Delta V)^2 - K_3 V_c^2}}{K_3 + 1} \quad \dots(40)$$

と求められる。

【0044】

MOSクアドリテールセルの差動出力電流は、木村克治著「トランジスタを負荷に持つMOS差動対とクアドリテールセルから構成されNチャネル単位トランジスタのみからなるチューニング可能なMOS線形トランスコンダクタンスアンプと高精度2乗回路の実現方法」(CAS98-41)電子情報通信学会 回路とシステム研究会技術報告、PP.17-24、1998年7月の【付録2】にその求め方が記載されているように、

$$\Delta I = I_{D5} - I_{D6} = 2\beta (\Delta V) (V_{CM3} - V_{S2} - V_{TH})$$

【数 27】

$$= \frac{-2K_3\beta(\Delta V)V_c + 2\beta(\Delta V)\sqrt{(K_3 + 1)\frac{I_0}{2\beta} - \frac{K_3 + 1}{4}(\Delta V)^2 - K_3 V_c^2}}{K_3 + 1}$$

$$|\Delta V| \leq \min\left\{\sqrt{\frac{2I_0}{\beta} - 4V_c^2}, \frac{-K_3 V_c + 2\sqrt{(K_3 + 1)\frac{I_0}{2\beta} - 2K_3 V_c^2}}{K_3 + 2}\right\} \quad \dots(41)$$

と表される。

【0045】

(41) 式より、MOSクアドリテールセルが線形動作するための条件は
【数 28】

$$-K_3 V_c + \sqrt{(K_3 + 1)\frac{I_0}{2\beta} - \frac{K_3 + 1}{4}(\Delta V)^2 - K_3 V_c^2} = c(\text{constant}) \quad \dots(42)$$

となる。このときに、差動出力電流は

【数 29】

$$\Delta I = \frac{2c\beta}{K_3+1}(\Delta V) \quad \dots(43)$$

となる。

【0046】

また、制御電圧 V_C は次式のように得られる。

【数 30】

$$V_C = \frac{-K_3c + \sqrt{K_3(K_3+1)^2 \frac{I_0}{2\beta} - \frac{K_3(K_3+1)^2}{4}(\Delta V)^2 - K_3c^2}}{K_3(K_3+1)} \quad (44)$$

例えば、 $C^2 = (K_3+1)^2 I_0 / (4\beta)$ のときに、制御電圧 V_C は
【数 31】

$$V_C = -\frac{1}{2}\sqrt{\frac{I_0}{\beta}} + \sqrt{\frac{I_0}{K_3\beta} - \frac{1}{K_3}(\Delta V)^2} \quad \dots(45)$$

となる。

【0047】

図3に示すように、トランジスタを負荷とするMOS差動対とMOSクアドリテールセルを縦属接続すると、線形トランスコンダクタンスアンプが実現できる。トランジスタM5、M6、M7の各ゲート電圧は、 V_{O1} 、 V_{O2} 、 $(V_{CM2} + V_C)$ となる。もし、 $(V_{CM2} + V_C)$ が一定値となるならば、制御電圧 V_C を発生させるゲートバイアス回路は非常に簡略化できる。ただし、ここで $\Delta V = V_{O1} - V_{O2}$ 、 $V_{CM3} = V_{CM2}$ である。 $(V_{CM2} + V_C)$ の値は

【数 3 2】

$$V_{CM2} + V_C = V_B - V_{TH} - \frac{1}{2} \sqrt{\frac{K_1}{K_2}} \sqrt{\frac{2I_{SS}}{K_1\beta} - V_i^2} \\ + \frac{-K_3c + \sqrt{K_3(K_3+1)^2 \frac{I_0}{2\beta} - \frac{K_3(K_3+1)^2}{4} (\Delta V)^2 - K_3c^2}}{K_3(K_3+1)} \\ = d(\text{constant}) \quad \dots(46)$$

と表される。

【0048】

したがって、線形動作するための必要条件は、入力電圧 V_i の関数となっている項が零となることであり、

【数 3 3】

$$V_{CM2} + V_C = V_B - V_{TH} - \frac{c}{K_3+1} = d(\text{constant}) \quad \dots(47)$$

となる。(46) 式と (47) 式が等しくなる条件より

$$K_3 = 1 \quad \dots \quad (48)$$

と

【数 3 4】

$$\frac{I_0}{\beta} = \frac{I_{SS}}{K_2\beta} + \frac{c^2}{2} \quad \dots(49)$$

が求められる。

【0049】

また、(46) 式で $V_i = 0$ とおくと $V_C = 0$ の場合にも (47) 式を満たし

【数 3 5】

$$d = V_B - V_{TH} - \sqrt{\frac{I_{SS}}{2K_2\beta}} \quad \dots(50)$$

が求められ、

【数 3 6】

$$c = 4 \sqrt{\frac{I_{ss}}{2K_2\beta}} = 2 \sqrt{\frac{2I_{ss}}{K_2\beta}} \quad \dots(51)$$

求められる。

また、(51) 式を (49) 式に代入すると、

【数 3 7】

$$I_0 = 2 \frac{I_{ss}}{K_2} \quad \dots(52)$$

と求められる。

【0050】

$V_{01} - V_{02} = \Delta V$ と置いた場合に、こうして得られるクアドリテールセルを構成する各トランジスタのドレイン電流を図5に示す。

【0051】

トランジスタM5とトランジスタM6のそれぞれのドレイン電流はいずれも2乗則電流となっている。したがって、差動出力電流は線形となり、MOS線形トランスコンダクタンスアンプとなっている。また、ドレイン電流 I_{D5} と I_{D7} 、ドレイン電流 I_{D6} と I_{D8} を加算するといずれも直線になっているから、それぞれのドレイン電流は

【数 3 8】

$$I_{D5} = \frac{\beta}{4} (\Delta V - \sqrt{\frac{I_0}{\beta}})^2 \quad (|\Delta V| \leq \sqrt{\frac{I_0}{2\beta}}) \quad \dots(53)$$

$$I_{D6} = \frac{\beta}{4} (\Delta V + \sqrt{\frac{I_0}{\beta}})^2 \quad (|\Delta V| \leq \sqrt{\frac{I_0}{2\beta}}) \quad \dots(54)$$

$$I_{D7} = I_{D8} = \frac{1}{4} \{I_0 + \beta(\Delta V)^2\} \quad (|\Delta V| \leq \sqrt{\frac{I_0}{2\beta}}) \quad \dots(55)$$

と求められる。したがって、クアドリテールセルの差動対を構成している2つのトランジスタの実効的なテール電流は

【数 39】

$$I_{D5} + I_{D6} = \frac{1}{2} \{ I_0 + \beta (\Delta V)^2 \} \quad (|\Delta V| \leq \sqrt{\frac{I_0}{2\beta}}) \quad \dots(56)$$

となっている。

【0052】

回路を最も簡略化できるのは $K_1 = 1$, $K_2 = 1$, $K_3 = 1$, $I_{SS} = I_0$ の場合であり、この時に定数 c の値は

【数 40】

$$c = 2\sqrt{\frac{I_0}{\beta}} \quad \dots(57)$$

となる。また、このときに、

【数 41】

$$d = V_{CM2} + V_c = V_B - V_{TH} - 2\sqrt{\frac{I_0}{\beta}} \quad \dots(58)$$

$$V_c = \frac{1}{2} \left\{ -\sqrt{\frac{I_0}{\beta}} + \sqrt{\frac{I_0}{\beta} - (\Delta V)^2} \right\} \quad \dots(59)$$

となっている。

【0053】

図3に示す線形トランスコンダクタンスアンプの差動出力電流は

【数 42】

$$\Delta I = I_{D5} - I_{D6} = -\sqrt{\beta I_0} V_i \quad (|V_i| \leq \sqrt{\frac{I_0}{2\beta}}) \quad \dots(60)$$

となり、動作範囲 $|V_i| \leq \sqrt{I_0 / \beta}$ は、トランジスタを負荷とする MOS 差動対の動作範囲と等しくなる。

トランスコンダクタンスは

【数 4 3】

$$\frac{d(\Delta V)}{dV_i} = -\sqrt{\beta I_0} \quad (|V_i| \leq \sqrt{\frac{I_0}{2\beta}}) \quad \dots(61)$$

となる。

【0054】

一方、共通ソース電圧 V_{S2} は (39) 式より、

【数 4 4】

$$V_{S2} = \frac{V_1 + V_2}{2} - V_{TH} - \frac{1}{2} \sqrt{\frac{I_0}{\beta}} \quad \dots(62)$$

と求められ、加算電圧が得られる。共通ソース電圧 V_{S2} には、一定電圧のオフセット電圧 $-V_{TH} - (1/2) \sqrt{I_0/\beta}$ が含まれている。これに対しては、図 6 に示すように、定電流 I_0 で駆動されたダイオード接続された単位トランジスタを介してレベルシフトすることでオフセット電圧を取り除くことにより、加算電圧 $(V_1 + V_2)/2$ が得られる。

【0055】

以上説明した電圧減算・加算回路からは線形な減算出力と加算出力が得られるが、多少線形性が犠牲になっても回路規模が小さい簡略化された電圧減算・加算回路でも良い場合がある。図 7 に請求項 2 に記載された電圧減算・加算回路を示す。

【0056】

この回路にはレベルシフト回路が付加されており、電圧減算回路としては (19) 式に示したように、通常の MOS 差動対の線形性を持った出力電圧が得られ、電圧加算回路としては (31) 式から、図 4 に V_{CM2} で示したように、通常の MOS 差動対の線形性と同等の線形性を持った出力電圧が得られる。この時の電圧加算回路の出力電圧は

【数 4 5】

$$V_0 = \frac{V_1 + V_2}{2} + \frac{1}{2} \sqrt{\frac{I_0}{\beta}} - \frac{1}{2} \sqrt{\frac{I_0}{\beta} - V_i^2} \quad \dots(63)$$

となる。(63)式から、差動入力電圧 $|V_i|$ が小さい場合には、

【数46】

$$V_0 \doteq \frac{V_1 + V_2}{2} \quad \dots(64)$$

と近似できる。

また、(63)式に示され、図4に V_{CM2} で示したように、電圧加算回路の出力電圧は差動入力電圧 $|V_i|$ が大きくなるのにしたがって値が大きくなる。

【0057】

次に、電圧加算回路と電圧減算回路を実現するために、トランスコンダクタンスが線形となるMOS差動対の構成方法について説明する。図8は、請求項3のMOS差動増幅回路である。

【0058】

トランジスタM1、M2のトランスコンダクタンスパラメータを β とおくと、MOS差動対の共通ソース電圧 $V_{S'}$ は

【数47】

$$V_{S'} = V_{CM} - V_{TH} - \frac{1}{2} \sqrt{\frac{2I_0}{\beta} - V_i^2} \quad (|V_i| \leq \sqrt{\frac{I_0}{\beta}}) \quad \dots(65)$$

と表される。ここで、 V_{CM} は入力電圧のコモンモード電圧であり、次式で表される。

【数48】

$$V_{CM} = \frac{V_1 + V_2}{2} \quad \dots(66)$$

ただし、 V_1 、 V_2 はそれぞれトランジスタM1、M2のゲート電圧である。

【0059】

ここで、 $V_1 - V_2 = V_i$ である。したがって、MOS差動対の共通ソース電圧 $V_{S'}$ は、差動入力電圧 V_i が増加するのに従って、高くなっていく。このように、MOS差動対の共通ソース電圧 $V_{S'}$ が、差動入力電圧 V_i に応じて変化するためにMOS差動対は線形動作しなくなっている。すなわち、共通ソース電圧 $V_{S'}$ がコモンモード電圧 V_{CM} に対して一定電圧となればMOS差動対は線

形動作する。ここで、差動入力電圧 V_i が増加するのに従って、テール電流 I_0 を大きくすれば、トランジスタ $M1$ 、 $M2$ のゲート・ソース間電圧が大きくなるから、共通ソース電圧 $V_{S'}$ の差動入力電圧 V_i の増加による電圧上昇分を相殺でき、共通ソース電圧 $V_{S'}$ をコモンモード電圧 V_{CM} に対して一定電圧とすることができる。このように、OPアンプ A とトランジスタ $M3$ 、 $M4$ 、 $M5$ は負帰還ループを構成し、共通ソース電圧がコモンモード電圧 V_{CM} に対して一定となるように動作するから、MOS差動対は線形動作する。

【0060】

以上のように、共通ソース電圧 $V_{S'}$ がコモンモード電圧 V_{CM} に対して一定電圧となるようにMOS差動対を駆動するテール電流を、差動入力電圧 V_i に応じて変化させることでMOS差動対は線形動作することになる。

【0061】

この場合に、MOS差動対の共通ソース電圧 V_S は
【数49】

$$V_S = V_{CM} - V_{TH} - \sqrt{\frac{I_0}{2\beta}} \quad \dots(67)$$

と表される。

この場合に、MOS差動対を駆動するテール電流 I_{SS} は
【数50】

$$I_{SS} = I_{D5} = I_{D1} + I_{D2} = I_0 + \frac{1}{2}\beta V_i^2 \quad \dots(68)$$

となる。したがって、適応バイアス差動対が実現でき、線形なトランスコンダクタンスを持つCMOS差動増幅回路を実現できる。また、線形動作入力電圧範囲は、テール電流 I_{SS} が制限を受けない限り、理論的には無限大となる。

【0062】

図8に示す線形トランスコンダクタンスアンプの差動出力電流は
【数51】

$$\Delta I = I_{D5} - I_{D6} = -\sqrt{\beta I_0} V_i \quad \dots(69)$$

となる。

また、トランスコンダクタンスは

【数 5 2】

$$\frac{d(\Delta V)}{dV_i} = -\sqrt{\beta I_0} \quad \dots(70)$$

となる。

【0 0 6 3】

例えば、コモンモード電圧 V_{CM} を得る回路としては、図 9 に示す電圧加算回路が知られている。又は、入力インピーダンスが低下することが問題とならない場合には 2 本の直列抵抗の midpoint からコモンモード電圧 V_{CM} が得られる。

【0 0 6 4】

また、図 10 に示すように、共通ソース電圧をレベルシフトしても良い。差動入力電圧 V_i が一定電圧のコモンモード電圧 V_{CM} を中心として $\pm V_i$ が印加される場合には、図 9 に示すような電圧加算回路が不要となる。

【0 0 6 5】

次に、図 11 は、請求項 4 の MOS 差動増幅回路である。

【0 0 6 6】

適応バイアス差動対は、MOS 差動対を構成するトランジスタ M1、M2 に流れる電流和が (6 8) 式に示されるように、2 乗電流となれば良いのであるから、図 11 に示すように、定電流源 I_B にトランジスタ M3 のドレイン電流 I_{D3} を流し込んでも良い。OP アンプ A とトランジスタ M3 は負帰還ループを構成し、共通ソース電圧がコモンモード電圧 V_{CM} に対して一定となるように動作するから、トランジスタ M1、M2 に流れる電流和は、

【数 5 3】

$$I_B - I_{D3} = I_{D1} + I_{D2} = I_0 + \frac{1}{2} \beta V_i^2 \quad (|V_i| \leq \sqrt{\frac{I_B}{\beta}}) \quad \dots(70)$$

となり、同様に適応バイアス差動対が実現でき、線形なトランスコンダクタンスを持つ CMOS 差動増幅回路を実現できる。また、線形動作入力電圧範囲は、定

電流源 I_B により制約される。

【0067】

更に、具体的な実現回路例を追加して示す。図12は、請求項5のトランジスタを負荷とするMOS差動増幅回路である。

【0068】

トランジスタM1、M2、M3、M4を全て等しいトランジスタサイズであるとし、トランスコンダクタンスパラメータを β とおくと、MOS差動対の共通ソース電圧 V_{S1} は

【数54】

$$V_{S1} = V_{LS} + V_{TH} - \frac{1}{2} \sqrt{\frac{2I_0}{\beta} - V_i^2} \quad (|V_i| \leq \sqrt{\frac{I_0}{\beta}}) \quad \dots(71)$$

と表される。ここで、 V_{CM1} は入力電圧のコモンモード電圧であり、次式で表される。

【数55】

$$V_{CM1} = \frac{V_1 + V_2}{2} \quad \dots(72)$$

ただし、 V_1 、 V_2 はそれぞれトランジスタM1、M2のゲート電圧である。また、 $V_1 - V_2 = V_I$ である。したがって、ユニティゲインの増幅器で、コモンモード電圧 V_{CM1} から共通ソース電圧 V_{S1} を減算して電圧 V_{LS} だけレベルシフトした電圧 V_B はトランジスタM3、M4の共通ゲート電圧となる。

$$V_B = V_{CM1} - V_{S1} + V_{LS}$$

【数56】

$$= V_{LS} + V_{TH} + \frac{1}{2} \sqrt{\frac{2I_0}{\beta} - V_i^2} \quad \dots(73)$$

【0069】

したがって、

【数 57】

$$V_{o1} = V_B - V_{TH} = \sqrt{\frac{I_{D1}}{\beta}}$$

$$= V_{LS} + \frac{1}{2} \sqrt{\frac{2I_0}{\beta} - V_i^2} - \sqrt{\frac{1}{2} \left(\frac{I_0}{2} + \sqrt{\frac{2I_0}{\beta} - V_i^2} \right)} \quad (|V_i| \leq \sqrt{\frac{I_0}{\beta}}) \quad \dots(74a)$$

$$V_{o2} = V_B - V_{TH} = \sqrt{\frac{I_{D2}}{\beta}}$$

$$= V_{LS} + \frac{1}{2} \sqrt{\frac{2I_0}{\beta} - V_i^2} - \sqrt{\frac{1}{2} \left(\frac{I_0}{2} - \sqrt{\frac{2I_0}{\beta} - V_i^2} \right)} \quad (|V_i| \leq \sqrt{\frac{I_0}{\beta}}) \quad \dots(74b)$$

と求められる。

【0070】

ここで、(27) 式の恒等式により、

【数 58】

$$\sqrt{\frac{I_0}{2} + \sqrt{\frac{2I_0}{\beta} - V_i^2}} - \sqrt{\frac{I_0}{2} - \sqrt{\frac{2I_0}{\beta} - V_i^2}} = \sqrt{2} V_i \quad \dots(75a)$$

また、(29) 式の恒等式により、

【数 59】

$$\sqrt{\frac{I_0}{2} + \sqrt{\frac{2I_0}{\beta} - V_i^2}} + \sqrt{\frac{I_0}{2} - \sqrt{\frac{2I_0}{\beta} - V_i^2}} = \sqrt{2} \sqrt{\frac{2I_0}{\beta} - V_i^2} \quad \dots(75b)$$

と求められる。

【0071】

したがって、

【数 60】

$$V_{o1} = V_{LS} - \frac{V_i}{2} \quad \dots(76a)$$

$$V_{o2} = V_{LS} + \frac{V_i}{2} \quad \dots(76b)$$

と求められ、出力電圧 V_{O1} 、 V_{O2} は直流電圧 V_{LS} を動作点として線形動作し、逆相差動増幅回路が得られる。また、入力電圧のコモンモード電圧を得る具体的な回路例としては、図 9 に示した加算回路がそのまま使える。

【0072】

次に、共通ソース電圧の逆相電圧を得る他の方法としては、Pチャネルトランジスタからなる MOS 差動対を用いるやり方がある。図 13 にその実現回路例を示す。

【0073】

Pチャネルトランジスタのトランスコンダクタンスパラメータを $\beta_P (= \mu_P (C_{OX}/2)(W/L))$ 、Nチャネルトランジスタのトランスコンダクタンスパラメータを $\beta_N (= \mu_N (C_{OX}/2)(W/L))$ とすると、Pチャネルトランジスタからなる MOS 差動対の共通ソース電圧 V_{S1P} は

【数 61】

$$V_{S1P} = V_{CM1} + |V_{THP}| + \frac{1}{2} \sqrt{\frac{2I_0}{\beta_P} - V_i^2} \quad (|V_i| \leq \sqrt{\frac{I_0}{\beta_P}}) \quad \dots(77)$$

と表される。

【0074】

したがって、ユニティゲインの増幅器で、共通ソース電圧 V_{S1} からコモンモード電圧 V_{CM1} を減算して電圧 V_{LS} だけレベルシフトした電圧 V_B はトランジスタ M3、M4 の共通ゲート電圧となる。

$$V_B = V_{S1P} - V_{CM1} + V_{LS}$$

【数 6 2】

$$= |V_{THP}| + \frac{1}{2} - |V_{THP}| + \frac{1}{2} \sqrt{\frac{2I_0}{\beta_P} - V_i^2} \quad \dots(78)$$

【0075】

したがって、

【数 6 3】

$$V_{O1} = V_B - V_{THN} - \sqrt{\frac{I_{D1}}{\beta_N}} \\ - V_{LS} + |V_{THN}| - V_{THN} + \frac{1}{2} \sqrt{\frac{2I_0}{\beta_P} - V_i^2} - \sqrt{\frac{1}{2} \left(\frac{I_0}{2} + \sqrt{\frac{2I_0}{\beta_N} - V_i^2} \right)} \quad \dots(79a)$$

$$V_{O2} = V_{LS} - V_{THN} - \sqrt{\frac{I_{D2}}{\beta_N}} \\ - V_{LS} + |V_{THN}| - V_{THN} + \frac{1}{2} \sqrt{\frac{2I_0}{\beta_P} - V_i^2} - \sqrt{\frac{1}{2} \left(\frac{I_0}{2} - \sqrt{\frac{2I_0}{\beta_N} - V_i^2} \right)} \quad \dots(79b)$$

となる。

ここで、 $\beta_N = \beta_P$ ならば

【数 6 4】

$$V_{O1} = V_B + |V_{THN}| - V_{THN} - \frac{V_i}{2} \quad \dots(80a)$$

$$V_{O2} = V_B + |V_{THN}| - V_{THN} + \frac{V_i}{2} \quad \dots(80b)$$

と求められ、出力電圧 V_{O1} 、 V_{O2} は直流電圧 $V_{LS} + |V_{THP}| - V_{THN}$ を動作点として線形動作し、逆相差動増幅回路が得られる。

【0076】

以上説明した MOS 差動増幅回路においては、減算器としてのユニティゲインの増幅器が必要である。ユニティゲインの増幅器を不要にするためには、MOS 差動増幅回路の電流出力を線形にすれば良い。図 14 はユニティゲインの増幅器

を不要にしたMOS差動増幅回路である。

【0077】

定電流源 $2I_0$ により駆動されるPチャネルトランジスタM1、M2からなるMOS差動対の共通ソース電圧 V_{S1} は

【数65】

$$V_B = V_{CM1} + |V_{THP}| + \sqrt{\frac{4I_0}{\beta_P} - V_i^2} \quad (|V_i| \leq \sqrt{\frac{2I_0}{\beta_P}}) \quad \dots(81)$$

と表される。

PチャネルトランジスタM7、M8はソースフォロワトランジスタであり、定電流源 I_0 により電圧 V_F だけレベルシフトされる。ただし、

【数66】

$$V_F = \sqrt{\frac{I_0}{\beta_P}} + |V_{THP}| \quad \dots(82)$$

である。

【0078】

また、定電流源 $4I_0$ により駆動されるNチャネルトランジスタM3、M4、M5、M6からなるクアドリテールセルにおいては、トランジスタM3、M4のそれぞれのゲートにはいずれも電圧 V_F だけレベルシフトされて入力電圧 V_1 、 V_2 が印加され、トランジスタM5、M6の共通ゲートには直接共通ソース電圧 V_{S1} が印加される。したがって、

$$I_{D3} = \beta_N (V_1 + V_F - V_{S2} - V_{THN})^2 \quad \dots \quad (83)$$

$$I_{D4} = \beta_N (V_2 + V_F - V_{S2} - V_{THN})^2 \quad \dots \quad (84)$$

$$I_{D5} = I_{D6} = \beta_N (V_{S1} - V_{S2} - V_{THN})^2 \quad \dots \quad (85)$$

である。

ただし、

$$I_{D3} + I_{D4} + I_{D5} + I_{D6} = 4I_0 \quad \dots \quad (86)$$

である。

【0079】

したがって、差動出力電流 ΔI は

$$\begin{aligned}\Delta I &= (I_{D3} + I_{D5}) - (I_{D4} + I_{D6}) = I_{D3} - I_{D4} \\ &= 2\beta_N V_i (V_{CM1} + V_F - V_{S2} - V_{THN}) \quad \dots (87)\end{aligned}$$

ここで、(83)～(85)式を(86)式に代入すると $V_{CM1} + V_F - V_{S2} - V_{THN}$ が求められ、

$$V_{CM1} + V_F - V_{S2} - V_{THN}$$

【数67】

$$= \frac{2\sqrt{\frac{I_0}{\beta_P}} - \sqrt{\frac{4I_0}{\beta_P} - V_i^2} + \sqrt{\frac{16I_0}{\beta_N} - \frac{4I_0}{\beta_P} - V_i^2} + \sqrt{\frac{I_0}{\beta_P}} \sqrt{\frac{4I_0}{\beta_P} - V_i^2}}{4} \quad \dots(88)$$

と求められる。

【0080】

ここで、 $\beta_N = \beta_P$ ならば、(88)式は、

【数68】

$$V_{CM1} + V_F - V_{S2} - V_{THN} = \sqrt{\frac{I_0}{\beta_P}} \quad \dots(89)$$

となる。したがって、この時に、(87)式は、

【数69】

$$\begin{aligned}\Delta I &= 2\beta_N V_i \sqrt{\frac{I_0}{\beta_P}} \\ &= 2\sqrt{\beta_N I_0} V_i \quad \dots(90)\end{aligned}$$

となり、線形動作することがわかる。

【0081】

また、(90)式より、MOS差動増幅回路のトランスコンダクタンスは駆動

電流値 I_0 で決定され、各定電流源の値 I_0 、 $2 I_0$ 、 $4 I_0$ を同時に可変することで所望の値に設定することができる。

回路は A 級動作しており、

【数 7 0】

$$I^+ = I_{D3} + I_{D5} = 2I_0 + \sqrt{\beta_N I_0} V_i \quad \dots(91)$$

$$I^- = I_{D3} + I_{D5} = 2I_0 - \sqrt{\beta_N I_0} V_i \quad \dots(92)$$

となっており、負荷抵抗を介して電圧出力が得られる。

【0 0 8 2】

また、図 1 5 に示すように、ソースフォロワトランジスタの極性を変えることもできる。ただし、Nチャネルトランジスタのスレッシュホールド電圧 V_{THN} と Pチャネルトランジスタのスレッシュホールド電圧 V_{THP} が異なる場合には駆動電流 I_1 を設定して電圧シフト値が等しくなるようにする必要がある。また、Nチャネルトランジスタの実行モビリティ (μ_N) と Pチャネルトランジスタの実行モビリティ (μ_P) とでは、 $\mu_N > \mu_P$ であり、通常は 3 倍前後異なるから、直流伝達特性を合わせるために、Pチャネルトランジスタの実行モビリティ (μ_P) が小さい分だけ、ゲート (W/L) 比を大きな値に設定するか、又は、テール電流を大きくして直流伝達特性を合わせ込む必要が生じる。そのために、一般的には、周波数特性はこうした Pチャネルトランジスタの周波数特性で制約されることになる。

【0 0 8 3】

次に、図 1 6 に、こうして得られる極性が互いに異なる 2 つの差動増幅回路を用いた回路を示す。

【0 0 8 4】

この場合には、レベルシフト回路は、それぞれ共通ソース電圧を共有し定電流で駆動されたトランジスタ MN7、MP7 により構成される。同様に、MOS 差動増幅回路のトランスコンダクタンスは駆動電流値 I_0 で決定され、各定電流源の値 I_0 、 $3 I_0$ 、 $4 I_0$ を同時に可変することで所望の値に設定することができる。

【 0 0 8 5 】

また、トランジスタMN 7、MP 7のトランジスタサイズをそれぞれ2倍にすると、トランジスタMN 1、MN 2、MN 7、及び、トランジスタMP 1、MP 2、MP 7の駆動電流はいずれも $3 I_0$ から $4 I_0$ となり、トランジスタMN 7、MP 7の駆動電流もいずれも I_0 から $2 I_0$ となる。図16に示す回路では電源側とグランド側のいずれにも出力を持ち、例えば、AB級の出力回路を駆動する場合などには最適である。

【 0 0 8 6 】

【発明の効果】

第1の効果は、線形な電圧減算出力と線形な電圧加算出力を同時に持つ差動回路を実現できるということである。これにより線形な電圧減算・加算回路が実現できた。その理由は、MOS差動対のテール電流を入力電圧の2乗に比例する2乗回路出力電流で駆動することにより、共通ソース電圧を入力コモンモード電圧に対して一定となるようにでき、また、差動出力電流を線形にできるからである。

【 0 0 8 7 】

第2の効果は、線形性は多少劣るが、小さな回路規模で電圧減算・加算回路が実現できた。その理由は、MOS差動対を電圧減算・加算回路に用いることができたからである。

【 0 0 8 8 】

第3の効果は、MOS差動対の出力を完全に線形できるということである。これにより理想的な線形トランスコンダクタンスアンプが実現できた。その理由は、MOS差動対の共通ソース電圧を入力コモンモード電圧に対して一定となるようにテール電流を制御することにより、線形動作が実現できるからである。

【 0 0 8 9 】

第4の効果は、線形なトランスコンダクタンスが実現できる入力電圧範囲を広くできた。その理由は、MOS差動増幅回路を駆動するテール電流を可変としているからである。

【 0 0 9 0 】

第 5 の効果は、M O S 差動対の出力電圧を完全に線形できるということである。これにより理想的な線形トランスコンダクタンスアンプが実現できた。その理由は、M O S 差動対の出力電流は、平方根 ($\sqrt{\quad}$) をとり、差動出力化することで、恒等式

【数 7 1】

$$\sqrt{a + \sqrt{2}x\sqrt{1 - \frac{x^2}{2}}} - \sqrt{a - \sqrt{2}x\sqrt{1 - \frac{x^2}{2}}} = \sqrt{2}x$$

により、線形動作が保証されているから、M O S トランジスタを負荷として電圧変換して、負荷トランジスタの共通ゲート電圧に入力コモンモード電圧から M O S 差動対の共通ソース電圧を減じた電圧を印加することで A 級動作が実現でき、出力電圧を完全に線形できるからである。

【0 0 9 1】

第 6 の効果は、線形なトランスコンダクタンスを持つ M O S 差動増幅回路のトランスコンダクタンスを独立に設定できるということである。これによりトランスコンダクタンスがチューニング可能な M O S 差動増幅回路が実現できた。その理由は、M O S 差動増幅回路を構成する M O S 差動対と M O S クアドリテールセルを駆動する定電流源が必要とされ、その電流値を可変することでトランスコンダクタンスを可変できるからである。

【図面の簡単な説明】

【図 1】

請求項 1 の電圧減算・加算回路に係る一般構成を示す回路図。

【図 2】

請求項 1 のレベルシフトされた電圧減算・加算回路に係る一般構成を示す回路図。

【図 3】

請求項 1 の電圧減算・加算回路に係る一実施形態を示す回路図。

【図 4】

図 3 に示したトランジスタを負荷とする M O S 差動対の出力電圧を示す特性図

【図 5】

図 3 に示したクアドリテールセルの出力電流を示す特性図。

【図 6】

請求項 1 のレベルシフトされた電圧減算・加算回路に係る一実施形態を示す回路図。

【図 7】

請求項 2 のレベルシフトされた電圧減算・加算回路に係る一実施形態を示す回路図。

【図 8】

請求項 3 の MOS 差動増幅回路に係る一実施形態を示す回路図。

【図 9】

入力コモンモード電圧を得るための加算回路を示す回路図。

【図 1 0】

請求項 3 の MOS 差動増幅回路に係る他の実施形態を示す回路図。

【図 1 1】

請求項 4 の MOS 差動増幅回路に係る一実施形態を示す回路図。

【図 1 2】

請求項 5 の MOS 差動増幅回路に係る一実施形態を示す回路図。

【図 1 3】

請求項 5 の MOS 差動増幅回路に係る他の実施形態を示す回路図。

【図 1 4】

請求項 6 の MOS 差動増幅回路に係る一実施形態を示す回路図。

【図 1 5】

請求項 6 の MOS 差動増幅回路に係る他の実施形態を示す回路図。

【図 1 6】

請求項 8 の MOS 差動増幅回路に係る一実施形態を示す回路図。

【図 1 7】

従来の電圧減算・加算回路を示す回路図。

【図 1 8】

適応バイアス差動対の一般構成図。

【図 1 9】

従来の MOS 差動対とキャドリテールセルから構成される MOS 差動増幅回路を示す回路図。

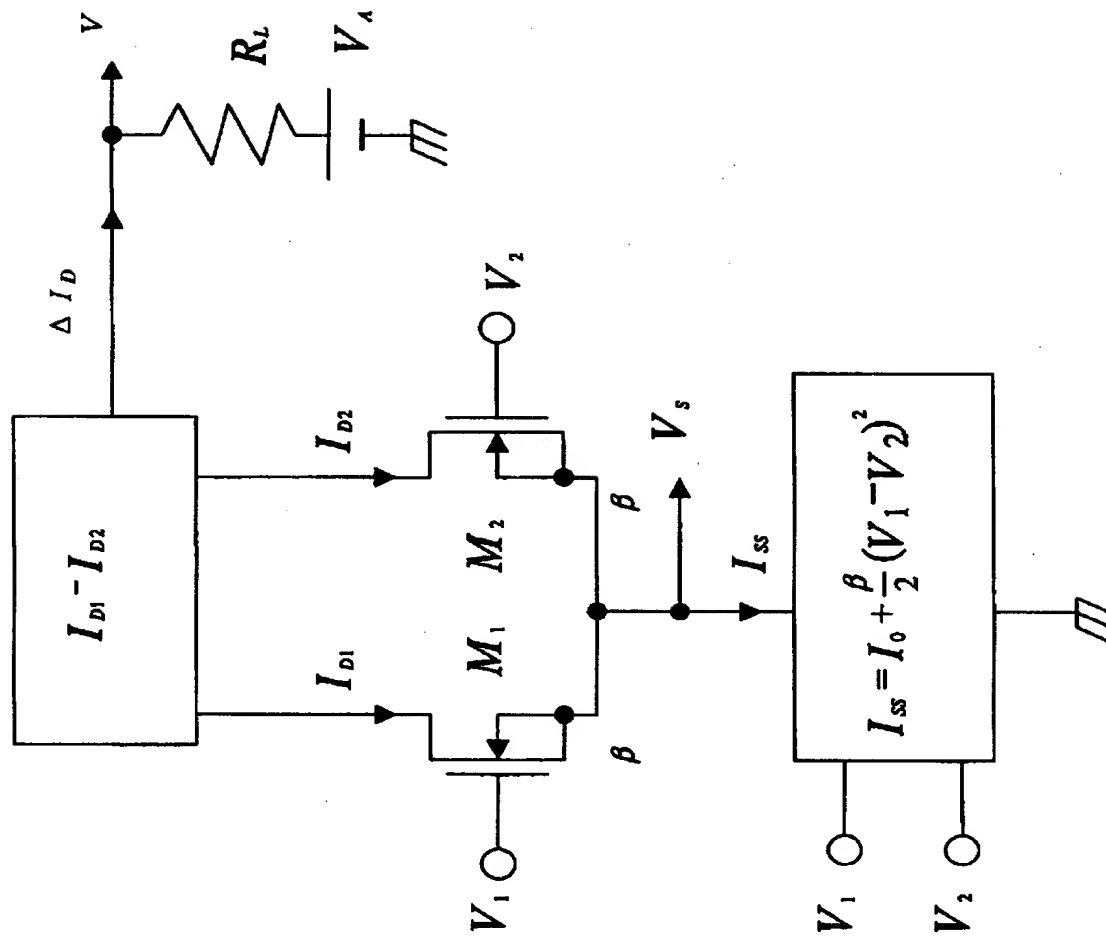
【符号の説明】

M 1 , M 2 , … トランジスタ

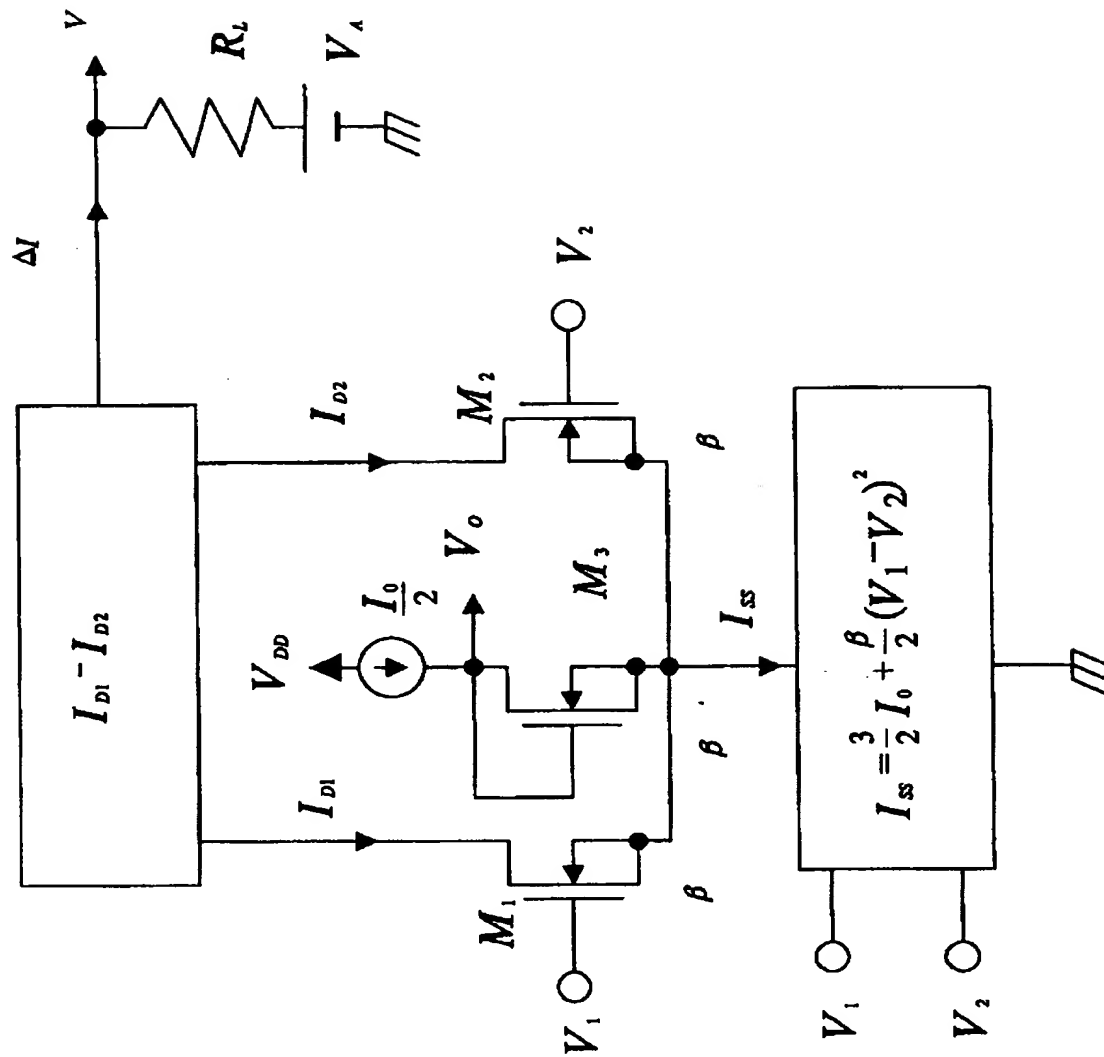
【書類名】

図面

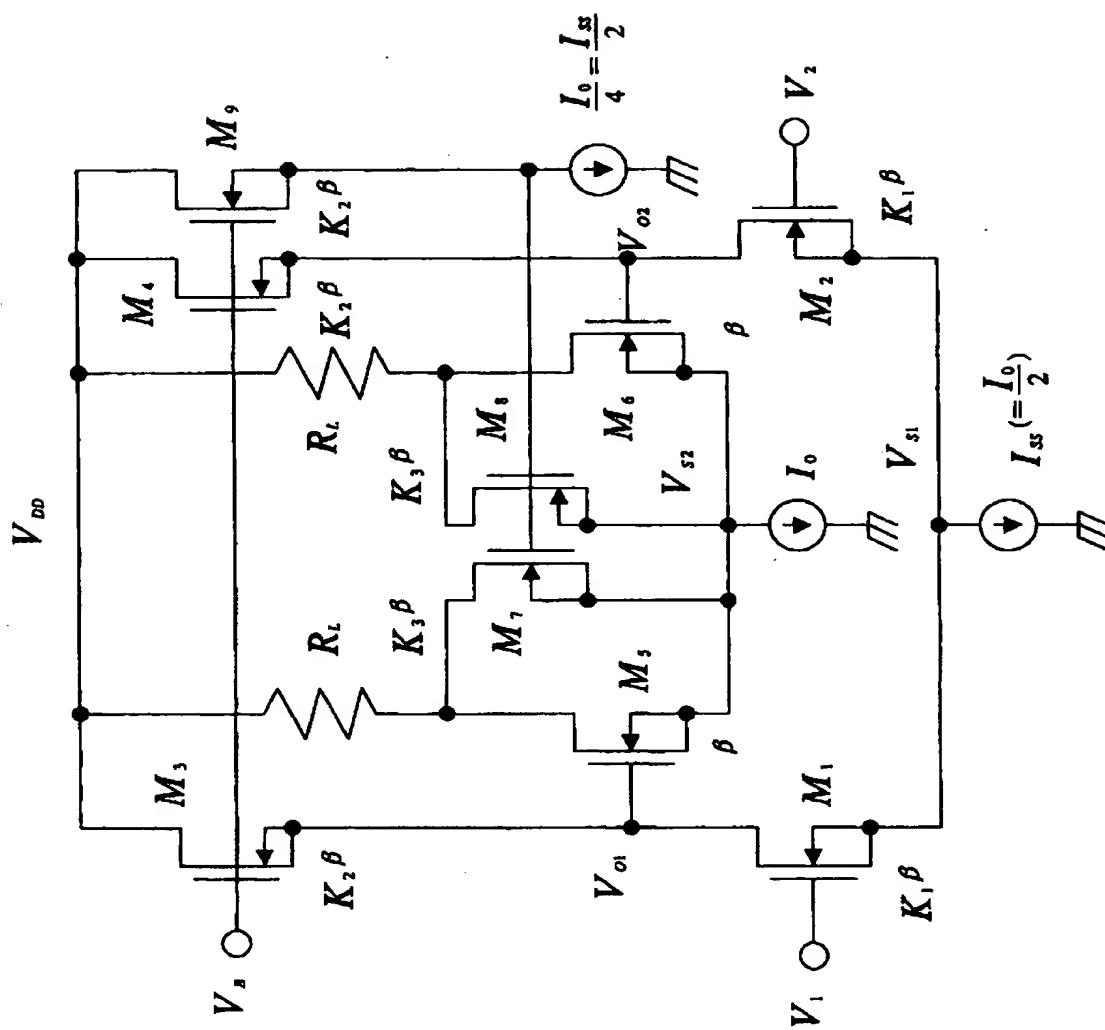
【図 1】



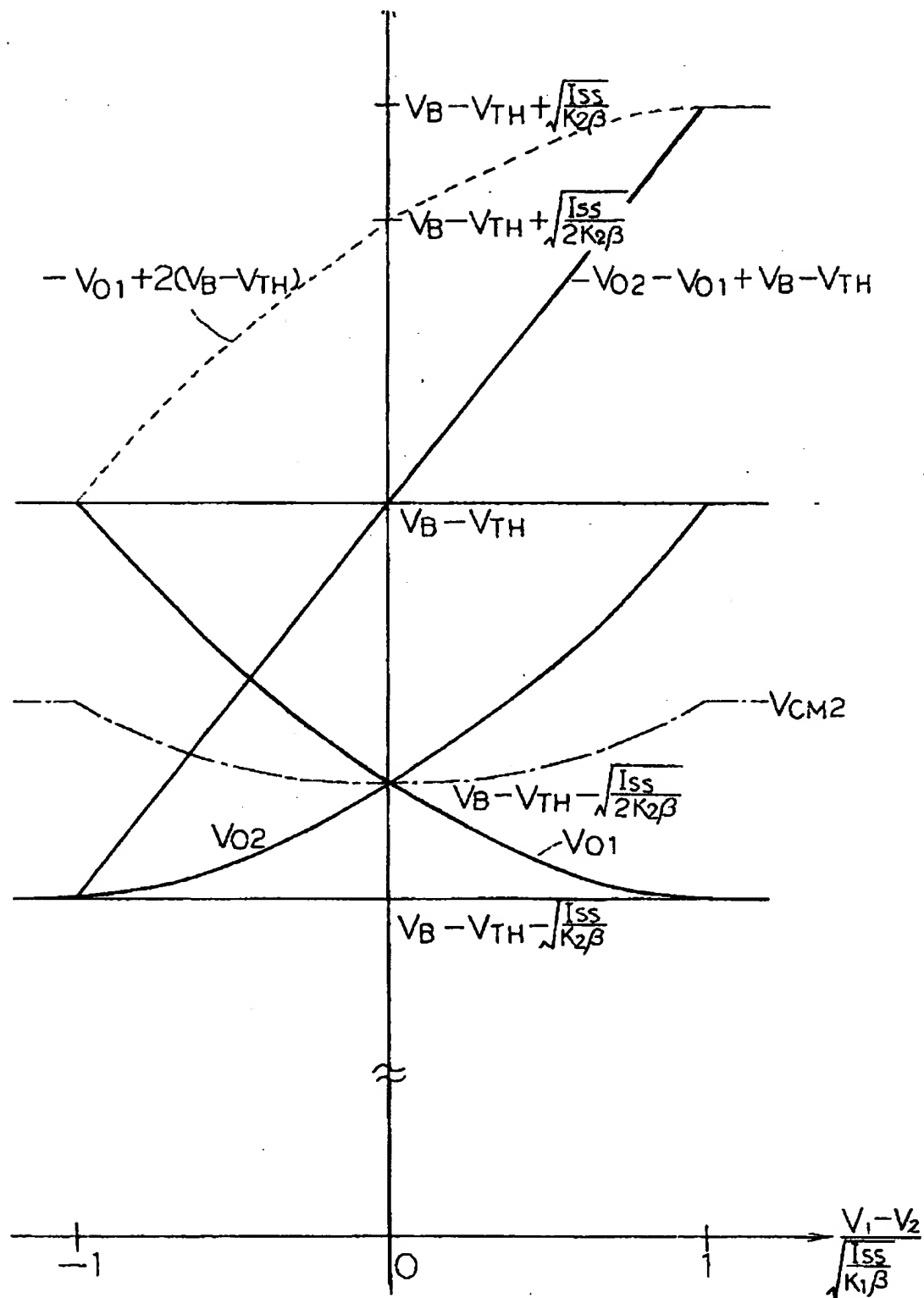
【図 2】



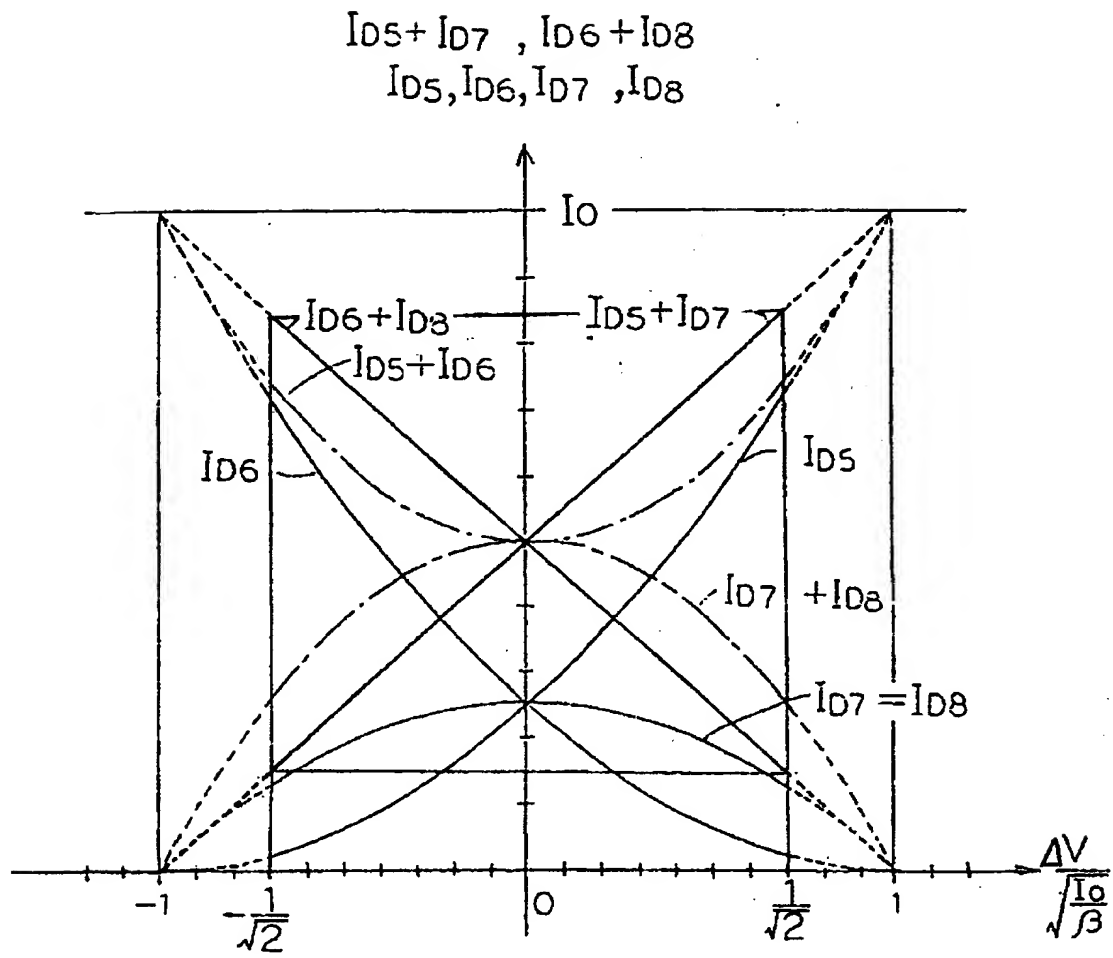
【図3】



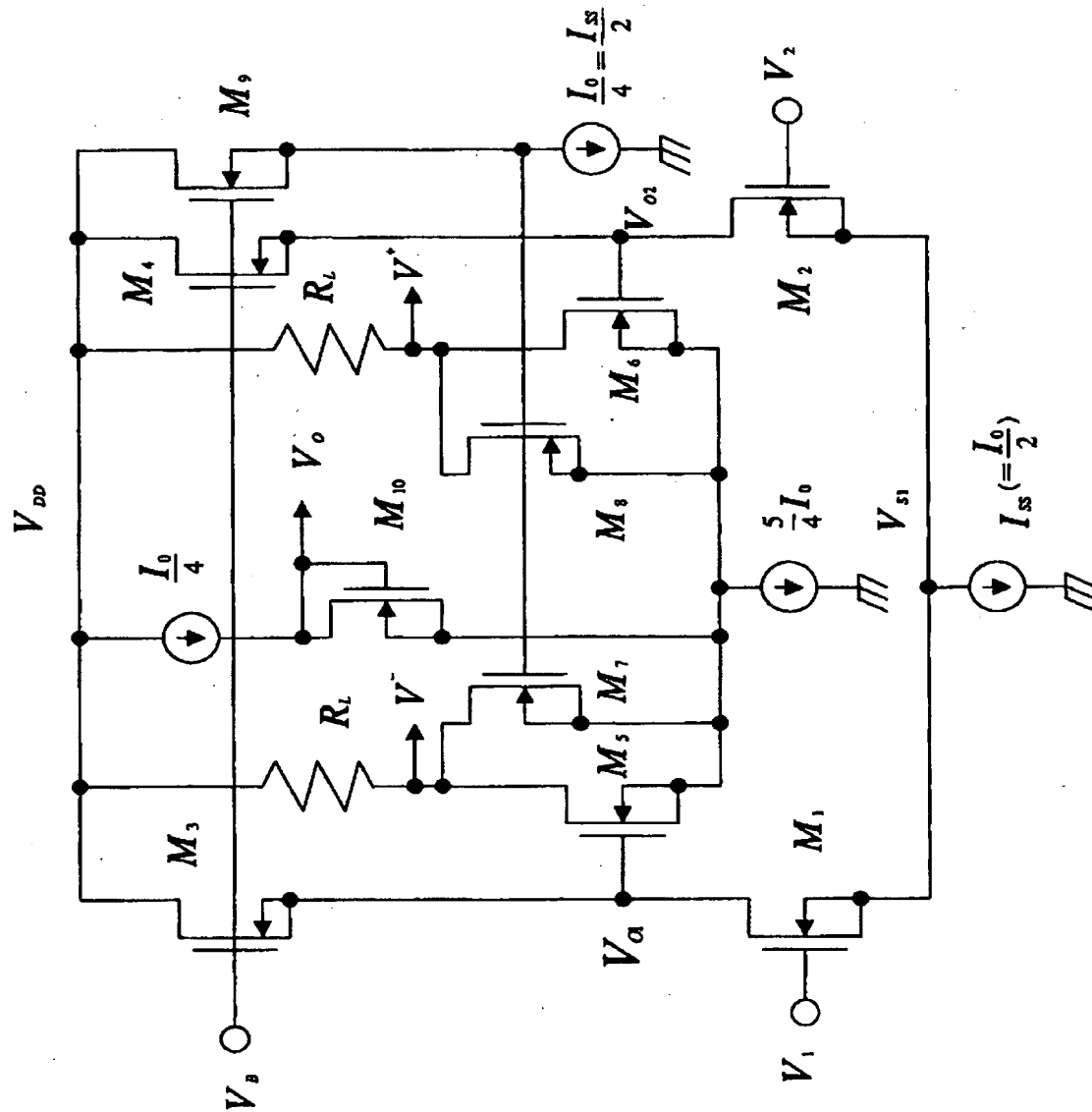
【図4】



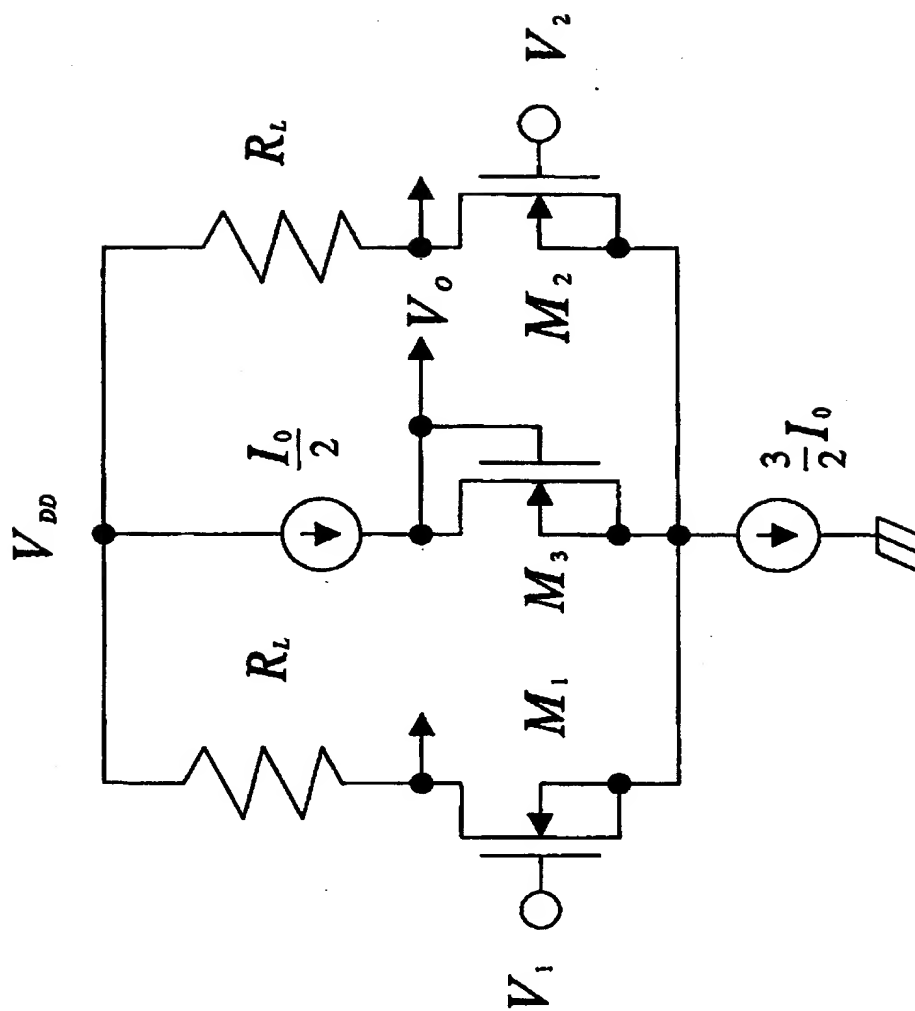
【図 5】



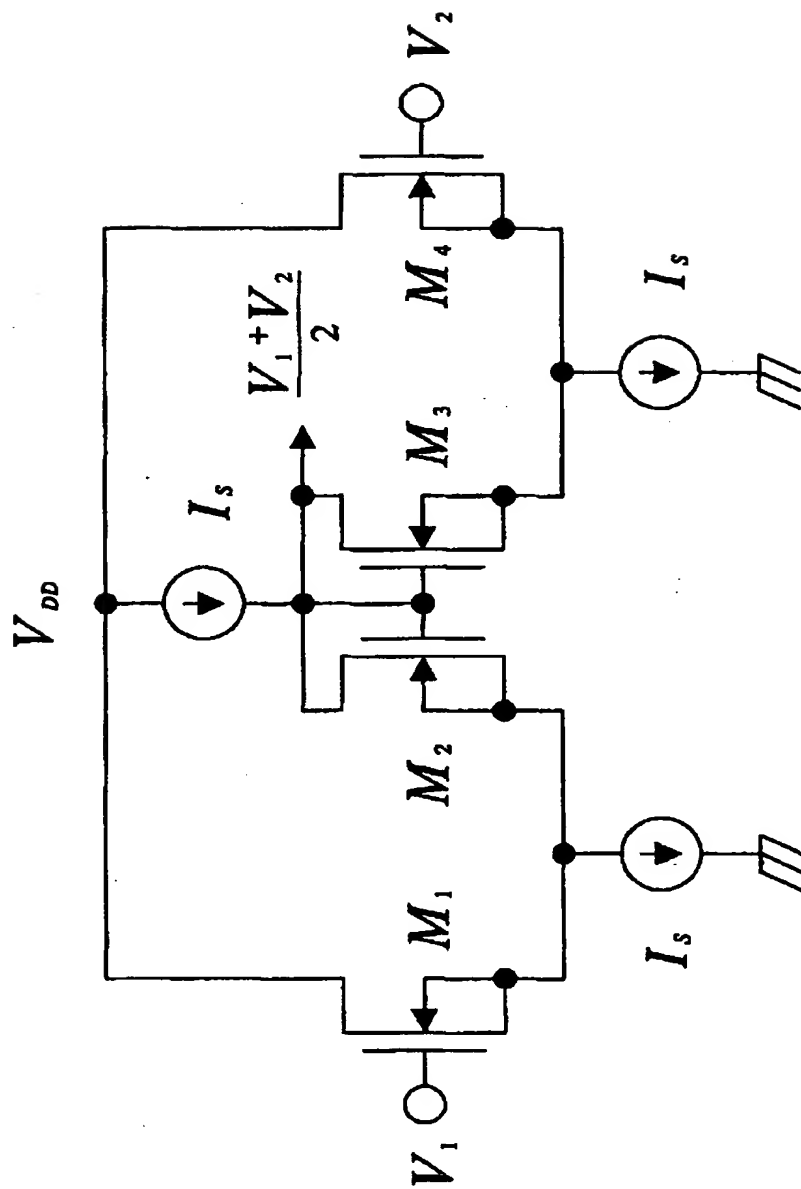
【図6】



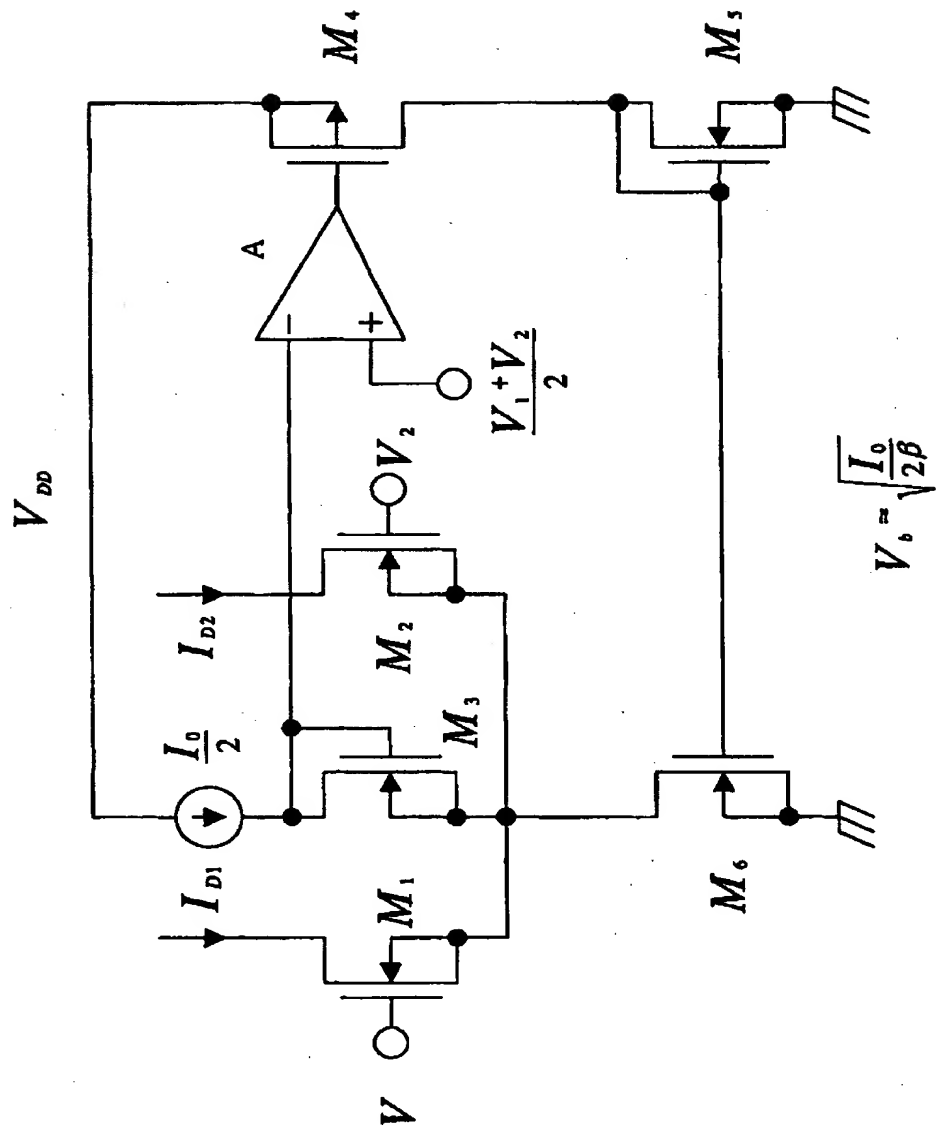
【図 7】



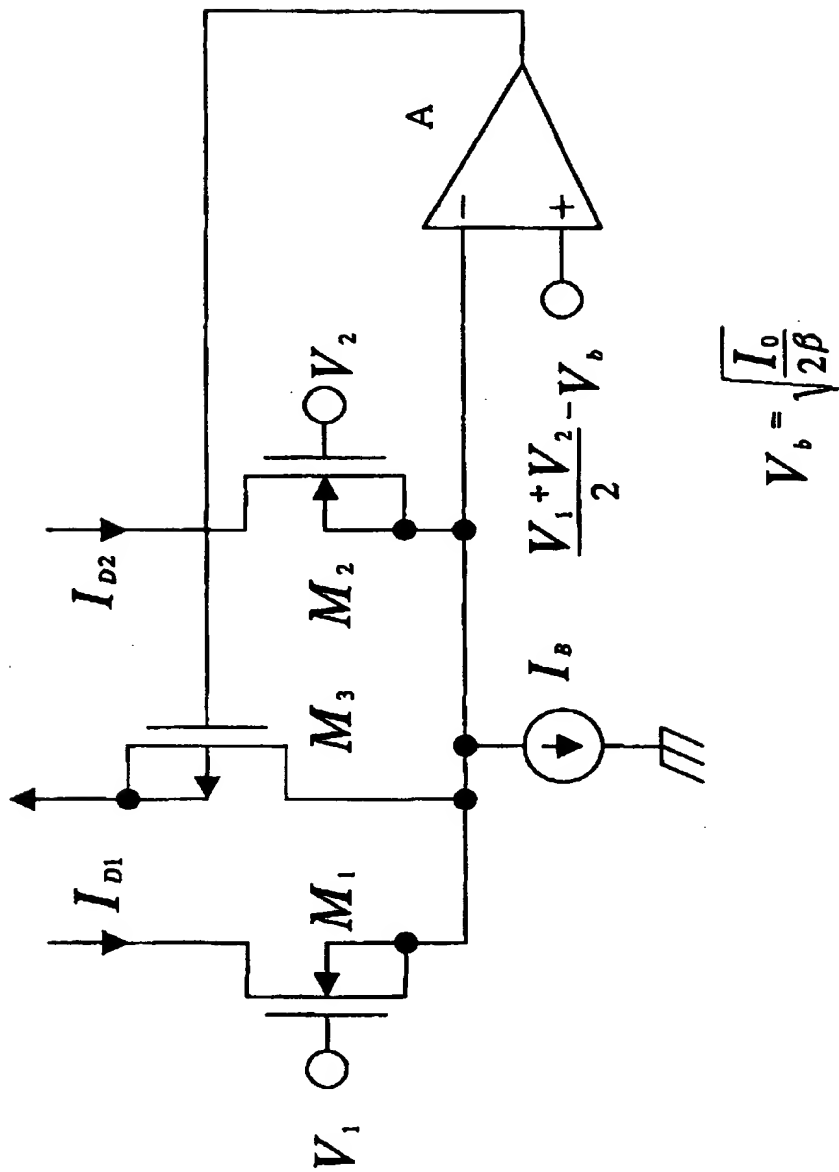
【図9】



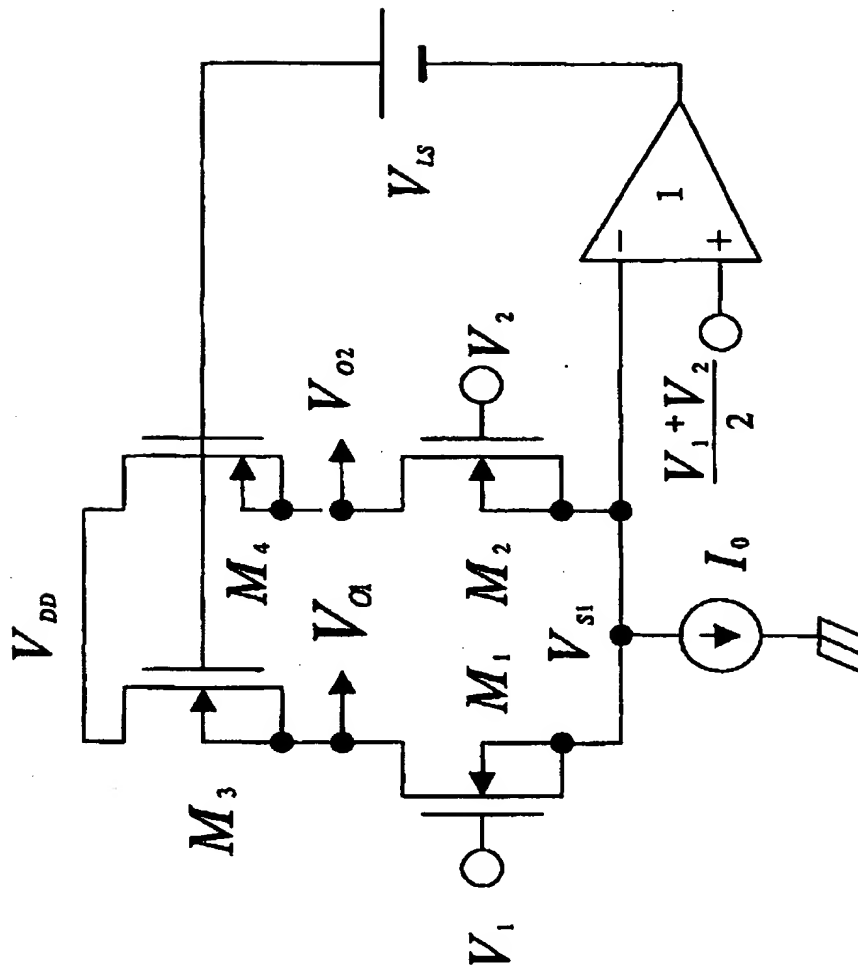
【図 10】



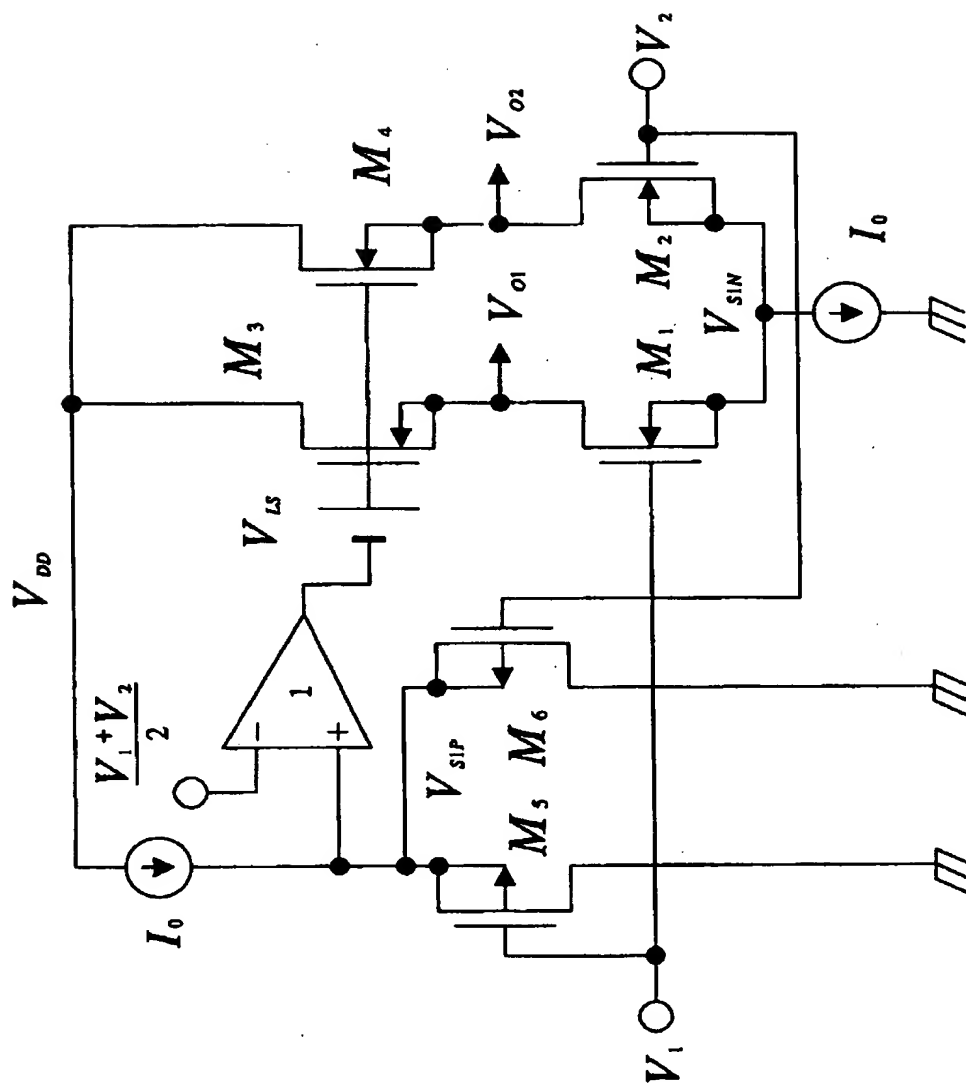
【図 11】



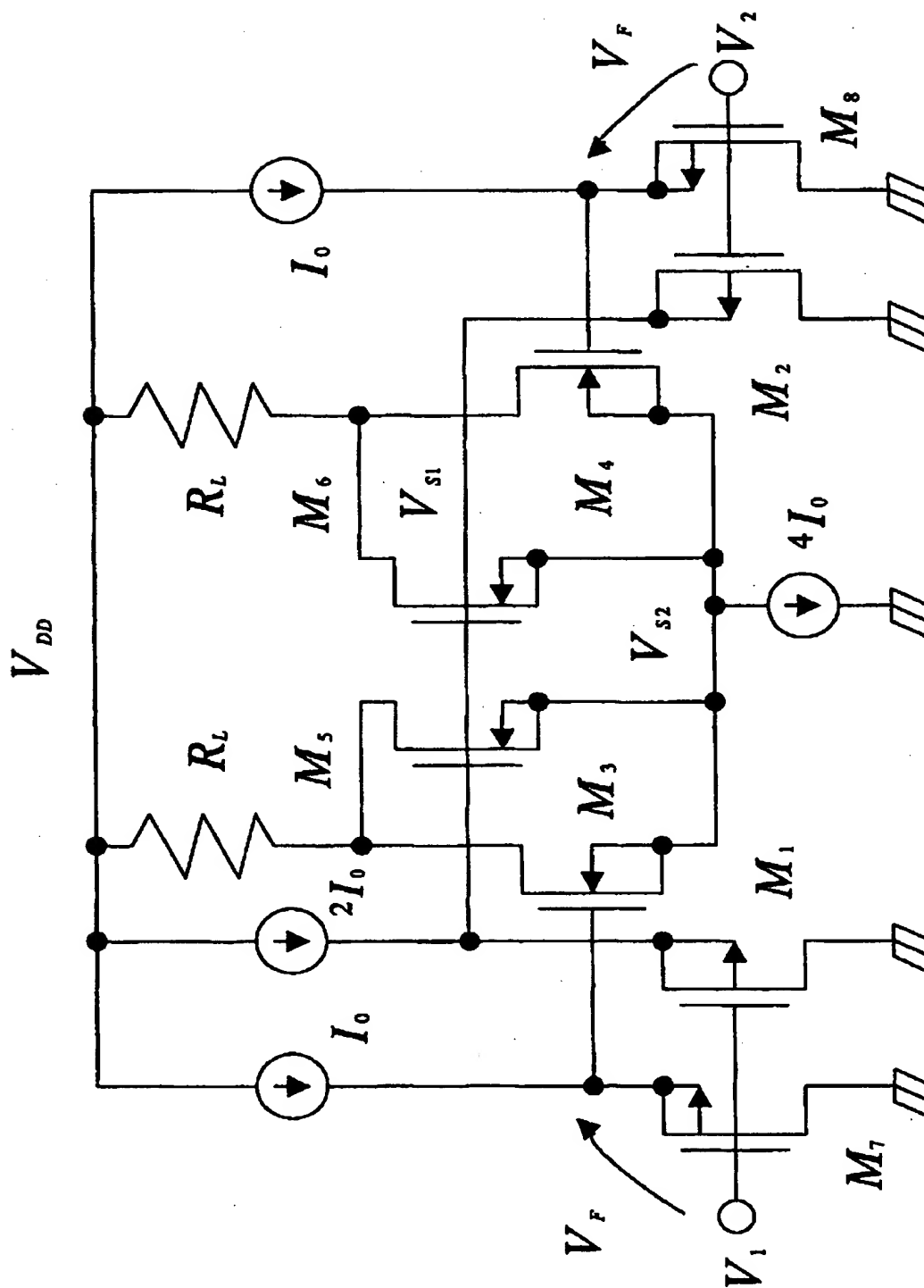
【図 12】



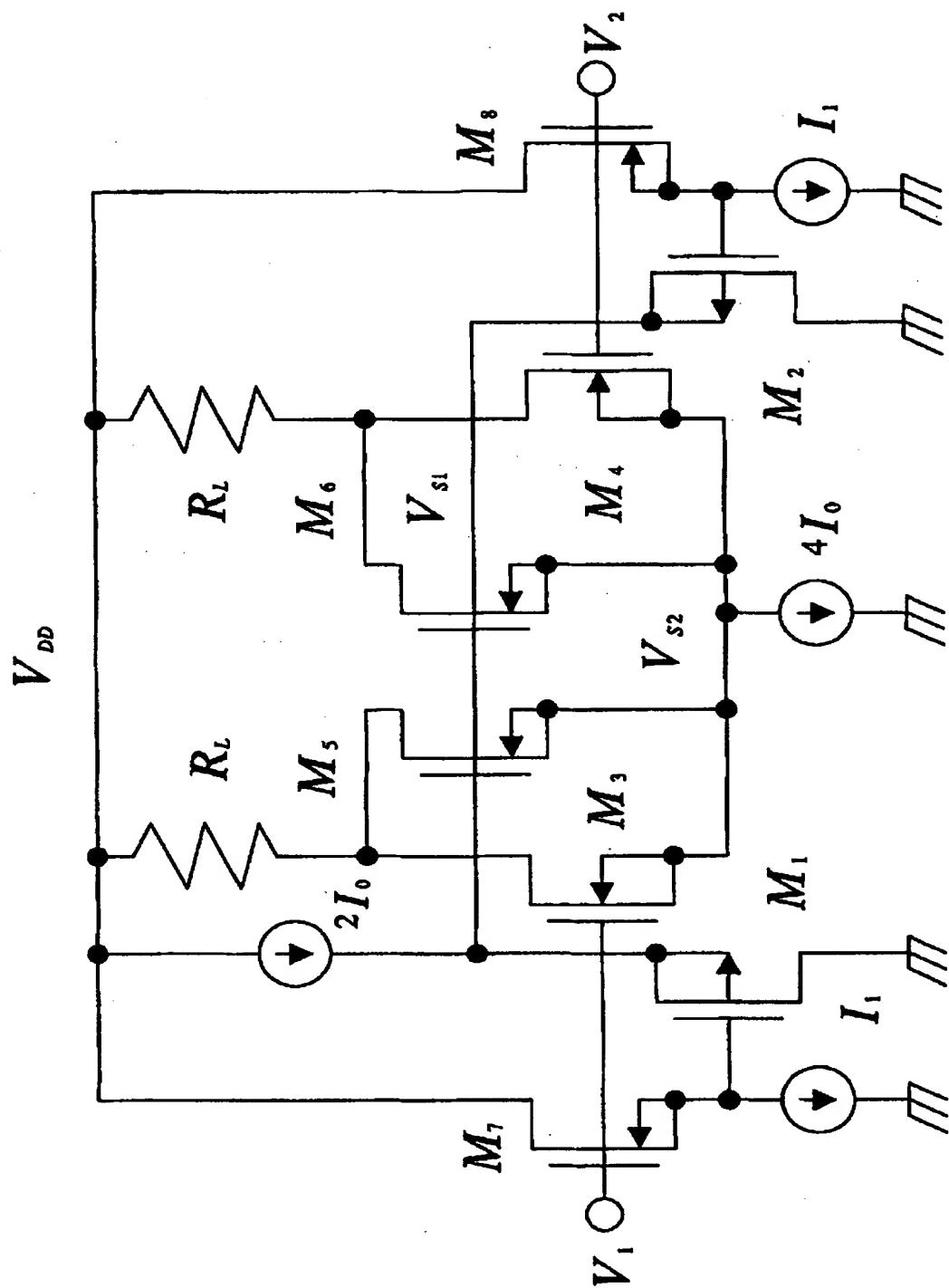
【図 13】



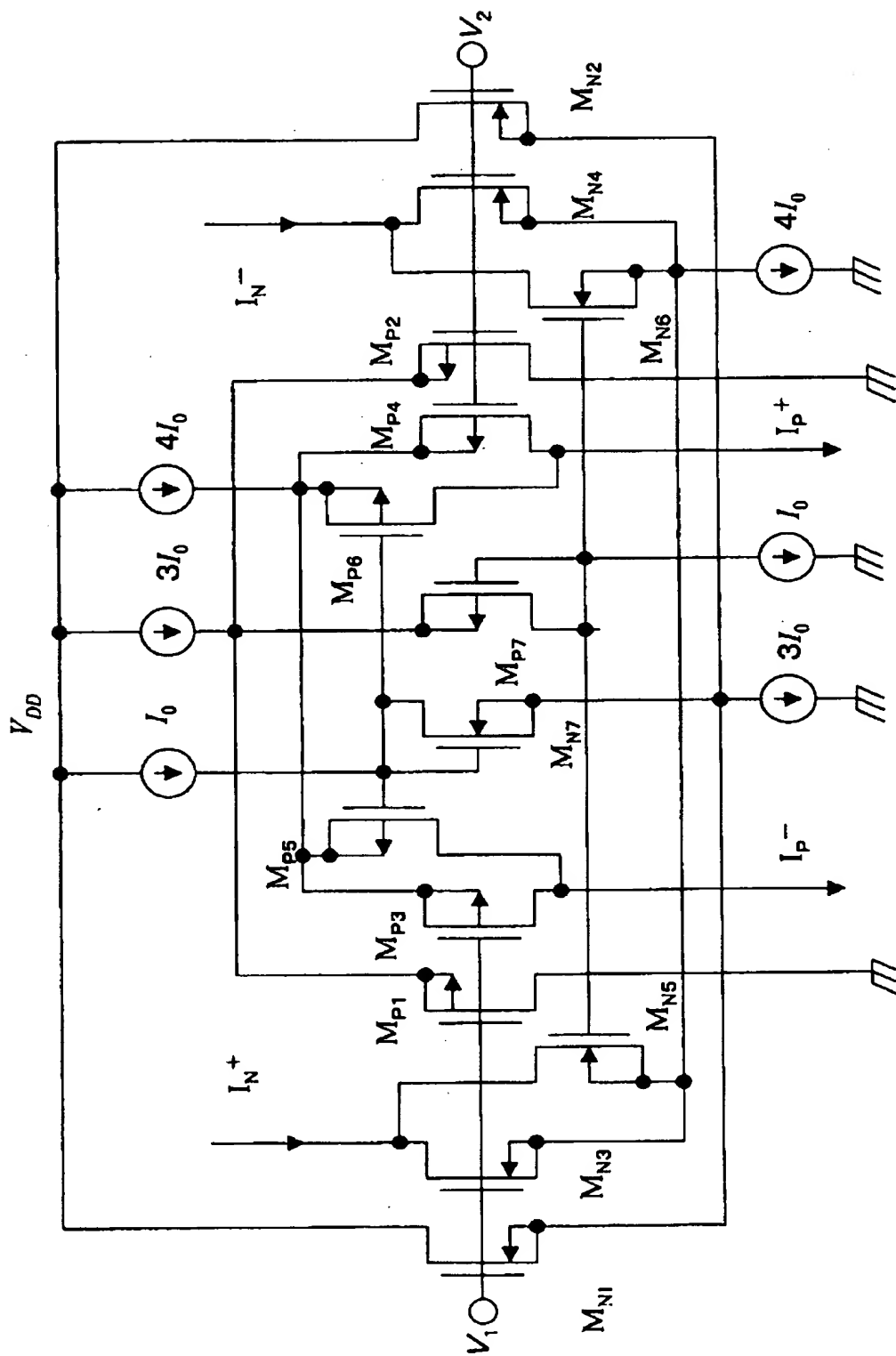
【図 14】



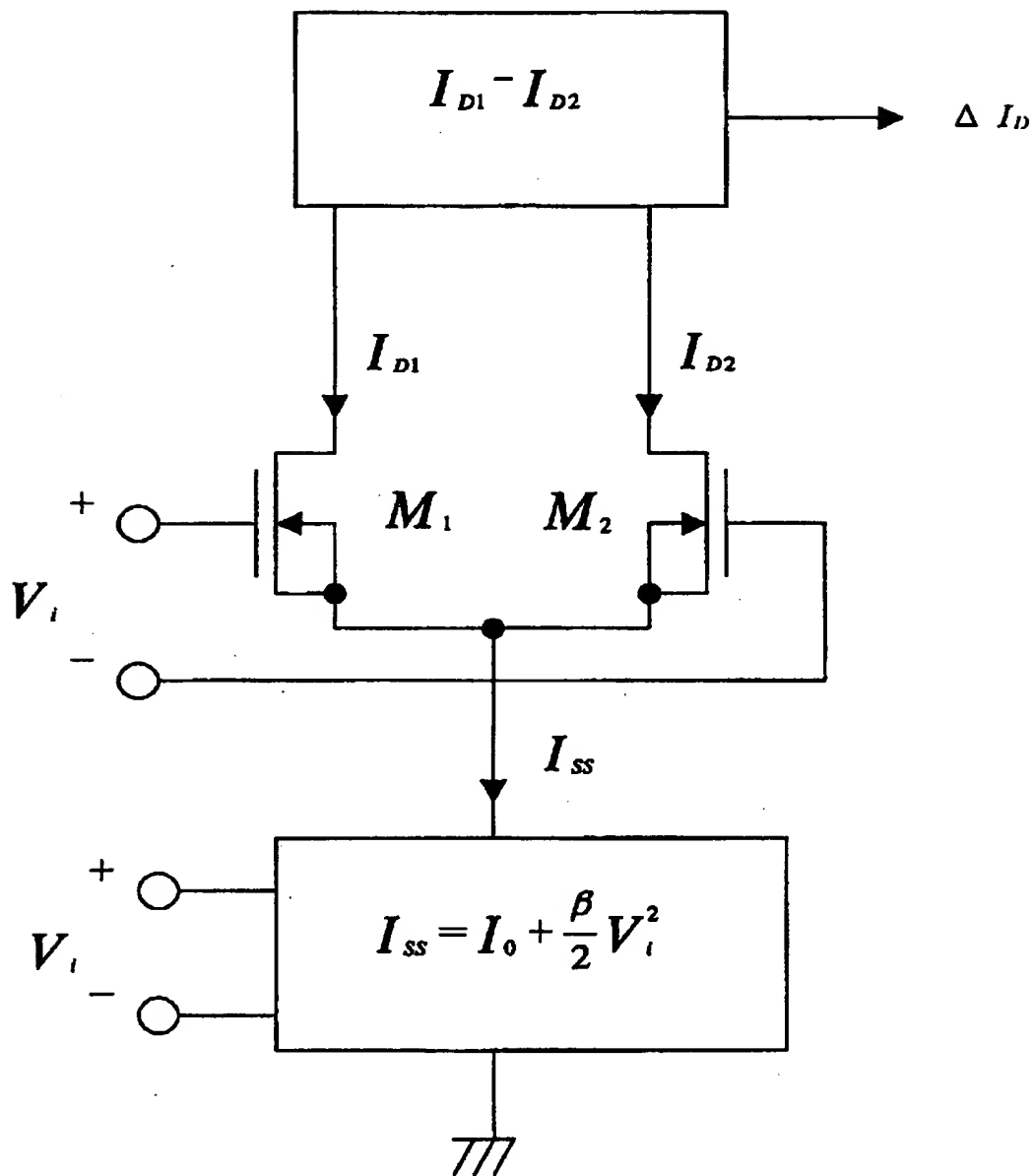
【図 15】



【図16】



【図 18】



【書類名】 要約書

【要約】

【課題】 半導体集積回路上に形成される、広い入力電圧範囲に渡り線形な減算・加算機能を持つMOS差動増幅回路を提供する。

【解決手段】 本発明の電圧減算・加算回路は、トランジスタM1、M2のゲートが入力対を、ドレインが減算出力対をそれぞれ構成し、ソースが共通接続されて加算出力端子を構成し、トランジスタM1、M2に流れる電流の和が入力差動電圧に比例して増加する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社